

PATENT ABSTRACTS OF JAPAN

(11) Publication number : **10-233964**
(43) Date of publication of application : **02.09.1998**

(51) Int.Cl. **H04N 5/335**

H01L 29/762

H01L 21/339

(21) Application number : **09-036483**

(71) Applicant : **NIKON CORP**

(22) Date of filing : **20.02.1997**

(72) Inventor : **NOMURA HITOSHI**

(54) SOLID-STATE IMAGE PICKUP DEVICE FOR FORMING BINARY SIGNAL

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state image pickup device for forming a binary signal by which binarization is processed at a high speed with low S/N.

SOLUTION: This solid-state image pickup device 10 for forming a binary signal is provided with vertical read lines 12a, 12b provided to pixels 1 and each column of the pixels 1 a vertical scanning circuit 13 that selects a specific row of the pixels 1 arranged in a matrix and transfers an electric signal in response to an incident light to the vertical read lines 12a, 12b in a desired timing, a binarization circuit 7 provided in each of the vertical read lines 12a, 12b, and a horizontal scanning circuit 15 that applies horizontal scanning to the vertical read lines 12a, 12b sequentially to transfer the signal to a horizontal read line 13. The binarization circuit 7 compares the electric signal outputted from the pixels 1 with a reference signal via an amplifier TR QA in the pixels 1 to output a binary signal.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

CLAIMS

[Claim(s)]

[Claim 1] Two or more pixels which output the signal charge which was arranged in the shape of a matrix and generated in the photodetection section through a magnification means, Choose two or more vertical read-out lines formed for every train of two or more of said pixels, and the specific line of two or more of said pixels, and the electrical signal according to the signal charge from the photodetection section of the pixel concerned to desired timing A vertical-scanning means to transmit to the vertical read-out line concerned, and the electrical signal according to said signal charge which is prepared in each of said vertical read-out line, and is outputted from said pixel to the timing of said request, A binary-ized means to compare the reference signal outputted through said magnification means to the timing of said request, and different timing, and to output a binary-ized signal, The solid state camera for binary-ized signal formation which carries out the horizontal scanning of said two or more vertical read-out lines one by one, and is characterized by having a horizontal scanning means to transmit said binary-ized signal to a level read-out line.

[Claim 2] Said photodetection section is a solid state camera for binary-ized signal formation according to claim 1 characterized by consisting of an optoelectric transducer which generates the signal charge according to incident light, and connecting the 1st switching means for supplying the signal charge from said optoelectric transducer to the regulatory region of this magnification means selectively, and the 2nd switching means for supplying desired potential to the regulatory region of this magnification means selectively from the outside of said pixel to said magnification means.

[Claim 3] The 1st storage means which memorizes the electrical signal according to said signal charge by which said binary-ized means was generated in said optoelectric transducer, The 2nd storage means which memorizes the reference signal according to the potential of said request from the outside of said pixel, The solid state camera for binary-ized signal formation according to claim 2 characterized by being constituted by comparison means to compare said reference signal memorized by said electrical signal memorized by said 1st storage means and said 2nd storage means, and to output a binary-ized signal.

[Claim 4] It is the solid state camera for binary-ized signal formation according to claim 3 characterized by being a charge storage means to accumulate the charge according to said reference signal with which said 1st storage means is a charge storage means to accumulate the charge according to said electrical signal outputted from said pixel, and said 2nd storage means is outputted from said pixel.

[Claim 5] The solid state camera for binary-ized signal formation according to claim 4 characterized by establishing the transfer means for switching for transmitting selectively said electrical signal outputted from said pixel, or said reference signal between said pixel and said two charge storage means.

[Claim 6] Said magnification means is a solid state camera for binary-ized signal formation according to claim 4 which is a junction field effect transistor and is characterized by supplying selectively said signal charge generated in said optoelectric transducer, and the potential of said request from the outside of said pixel to the gate of this junction field effect transistor.

[Claim 7] Said binary-ized means so that a current source and said reference signal according to the potential of said request supplied from the outside of said pixel may become equal to the current of said current source The bias means which carries out bias of the potential of said vertical read-out line, and a bias storage means to memorize the bias condition of this bias means, Said electrical signal according to said signal charge generated in said optoelectric transducer, A current detection means to detect a difference with the current of said current source, and said electrical signal according to said signal charge generated in said optoelectric transducer, The solid state camera for binary-ized signal formation according to claim 2 characterized by being constituted by the means for switching for inputting the current of a difference with the current of said current source into said current detection means.

[Claim 8] Said bias means consists of transistors for constant current to which the principal current path was connected between said vertical read-out lines and said current sources. Said bias storage means It is prepared between the control electrode of said transistor for constant current, and the near terminal connected to said current source among the terminals of the principal current path of this transistor for constant current. The sample hold change means for sampling the bias condition of said transistor for constant current, and holding after that, The solid state camera for binary-ized signal formation according to claim 6 characterized by being constituted by bias charge storage means to be connected to said control electrode of said transistor for constant current, and to hold the bias of said transistor for constant current.

[Claim 9] The solid state camera for binary-ized signal formation given in any of claim 1 to claim 8 characterized by connecting to said comparison means an output signal storage means to memorize said binary-ized signal from this comparison means they are.

[Claim 10] Said optoelectric transducer is a solid state camera for binary-ized signal formation given in any of claim 1 to claim 9 characterized by being an embedding photodiode they are.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the solid state camera for binary-ized signal formation which makes binary the image data obtained in the photodetection section, and obtained the binary image.

[0002]

[Description of the Prior Art] The solid state camera (solid state camera for binary-ized signal formation) and image processing system which have the image data (analog signal) conventionally obtained in the pixel arranged in the shape of a matrix as compared with a reference value, and obtained the binary image are well-known. Drawing 10 is the circuit diagram showing an example of the conventional solid state camera 100 for binary-ized signal formation.

[0003] The conventional solid state camera 100 for binary-ized signal formation shown in this drawing adopts an X-Y addressing method, and pixel 101,101 -- is arranged in the shape of a matrix (in the example of a graphic display). 2x2 pieces, this pixel 101,101 -- To each, Photodiode PD, PD--, MOS transistor QT for a switch for connecting / separating the transistor QA for magnification, QA--, said photodiode PD, and the transistor QA for magnification, QT--, MOS transistor QP for reset for discharging the charge which supplied the electrical potential difference to the gate of said transistor QA for magnification, or was accumulated in the gate, and QP-- are prepared.

[0004] And each pixel 101,101 -- is connected to the common vertical read-out lines 102a and 102b for every train, and the electrical signal according to the incident light from the pixel 101,101 -- concerned is outputted to the vertical read-out lines 102a and 102b. Moreover, in this solid state camera 100 for binary-ized signal formation, the store circuit 107,107 for removing the fixed pattern noise resulting from the dark current etc. is established in each vertical read-out lines 102a and 102b.

[0005] As a store circuit 107 is shown in drawing, it consists of MOS transistors QD and QS for a switch, and capacitors CD and CS, the charge equivalent to the dark current is accumulated in Capacitor CD, and, specifically, the charge which is equivalent to an electrical signal from the pixel 101 according to incident light is accumulated in Capacitor CS. And the charge memorized respectively is outputted to the level read-out line 112-1,112-2 to fixed timing. With the differential amplifier 115 arranged on this level read-out line 112-1,112-2 The dark current and the noise (fixed pattern noise) resulting from dispersion for every transistor QA for magnification of each pixel 101,101 -- are removed, only the electrical signal (analog signal) according to incident light is amplified, and it is obtained from the electrical signal according to incident light.

[0006] And the amplified signal (analog signal) is compared with the reference value VREF predetermined by the comparator 119, and a binary-ized signal is outputted from an output terminal VO.

[0007] Drawing 11 is a timing chart which shows an example of actuation of the above-mentioned solid state camera 100 for binary-ized signal formation, periods t10-t14 show read-out actuation of the pixel 1 of the 1st line, and periods t20-t24 show read-out actuation of the pixel 1 of the 2nd line. Here, driving pulse phiRD1 and phiRD2 of driving pulse phiTG1 and phiTG2 are driving pulses by which driving pulse phiRSV is supplied to the gate of MOS transistors QRSV1 and QRSV2 for reset, and driving pulse phiTD and phiTS are respectively supplied for driving pulse phiRG to the gate of MOS transistors QP and QP for reset at the gate of MOS transistors QD and QS for a switch at the gate of MOS transistors QT and QT for a switch at the drain of MOS transistors QP and QP for reset. Moreover, the driving pulse by which a driving pulse phiH1 and phiH2 are supplied to the gate of MOS transistors QH1 and QH2 for a switch, and driving pulse phiRSH are driving pulses supplied to the gate of MOS transistors QRSH1 and QRSH2 for reset switches.

[0008] If timing of operation continues till the period t10 of drawing 11 , driving pulse phiRG will be set to a low level, and MOS transistor (p channel mold) QP for reset will serve as ON. And driving pulse phiRD1 reads, it is set to level (VRD; high-level), the electrical potential difference VRD is supplied to the gate (regulatory region) of the transistor QA for magnification of the 1st line through the transistor QP for reset, the gate reads, and bias is carried out to level VRD (selection). In addition, since driving pulse phiRD2 continues being a low level (voltage-level VRS), the transistor QA for magnification of the 2nd line is held at OFF (un-choosing), while the gate has been voltage-level VRS (low level).

[0009] On the other hand, driving pulse phiRSV becomes high-level, MOS transistors QRSV1 and QRSV2 for reset switches (n channel mold) serve as ON, and the charge which remains in the vertical read-out lines 102a and 102a is discharged (reset). At this time, driving pulse phiTD and phiTS are also high-level, MOS transistors QD and QS for a switch (n channel mold) serve as ON, and the charge which remained in Capacitors CD and CS is also emitted (reset).

[0010] In addition, in this period t10, since both driving pulse phiTG1 and phiTG2 are held high-level, MOS transistor QT for a transfer (p channel mold) is off, and the charge (signal charge) according to incident light is generated and accumulated with each photodiode PD. If it continues till the next period t11, driving pulse phiRG will become high-level, MOS transistor (p channel mold) QP for reset will become off, the gate (regulatory region) of the transistor QA for magnification of the 1st line will be in floating, but with the capacity which is parasitic on the gate of this transistor QA for magnification, while bias of the electrical potential difference of this gate had been carried out to said read-out level VRD, the condition is held.

[0011] Moreover, driving pulse phiRD1 is returned to voltage-level VRS (low level), driving pulse phiRSV is reversed by the

low level, and reset of the vertical read-out lines 102a and 102b is canceled. And driving pulse phiTS serves as a low level, MOS transistor QS for a switch (n channel mold) becomes off, and Capacitor CD is connected to the vertical read-out lines 102a and 102b among two sorts of capacitors CD and CS.

[0012] Consequently, by this period t11, the electrical potential difference (it is written as VD) according to the dark current will be charged by Capacitor CD in the condition that the transistor QA for magnification of the 1st line chosen in the period t10 (ON) carries out source follower actuation, and bias is carried out to the read-out level VRD. In addition, the dark current and the noise (fixed pattern noise) resulting from dispersion for every transistor QA for magnification of each pixel 101,101 -- are included in the electrical potential difference (VD) according to the above-mentioned dark current.

[0013] Next, driving pulse phiTD will serve as a low level, MOS transistor QD for a switch (n channel mold) will become off, if it continues till a period t12, instead of this, driving pulse phiTS becomes high-level, MOS transistor QS for a switch (n channel mold) will serve as ON, and charge of Capacitor CS will be attained. At this time, it becomes [that the electrical potential difference according to the above-mentioned dark current is charged with as, and] Capacitor CD.

[0014] And driving pulse phiTG1 is reversed by the low level, MOS transistor QT for a transfer of the pixel 1 of the 1st line turns on, and the signal charge from the photodiode PD of the 1st line is transmitted to the gate (regulatory region) of the transistor QA for magnification of the pixel 1 of the 1st line. And although driving pulse phiTG1 will be reversed high-level, MOS transistor QT for a transfer of the 1st line will become again off and the gate of the transistor QA for magnification of the 1st line will be in floating again at the time of termination of a period t12, i.e., initiation of a period t13. The electrical potential difference of this gate is held with the capacity which is parasitic on the gate of the transistor QA for magnification, with the part of the signal charge transmitted from Photodiode PD going up.

[0015] A deer is carried out, the electrical signal according to incident light is outputted to the vertical read-out lines 102a and 102b by source follower actuation of the transistor QA for magnification of the 1st line, and the electrical potential difference (it is written as VSS) according to this electrical signal is charged by Capacitor CS. In this case, an electrical potential difference VSS serves as the sum of the electrical potential difference (it is written as VS) only according to incident light, and the electrical potential difference VD according to the dark current (VSS=VS+VD).

[0016] Next, the charge which driving pulse phiTS was set to a low level, connection between the vertical read-out lines 102a and 102b and Capacitor CS was severed, and driving pulse phiRSV became high-level in this condition first, and remained in the vertical read-out lines 102a and 102b again by the time of termination of a period t13, i.e., initiation of a period t14, is discharged (reset). The driving pulse phiH1 from the horizontal scanning circuit 13 is started by fixed period high level between periods t14. And the signal (analog signal) from the capacitors CD and CR by the side of vertical read-out line 102a Reading appearance is respectively carried out to the level read-out line 112-1,112-2 to the change-over timing, the difference is amplified with the differential amplifier 115, further, by the comparator 119, it is compared with the predetermined reference voltage VREF, and binary-ized processing is performed. In addition, the signal outputted from the above-mentioned differential amplifier 115 serves as a value which amplified the value (the signal VS according to incident light) which deducted the signal (VD) according to the dark current from the electrical signal (VSS=VS+VD) including the fixed pattern noise from a pixel 101.

[0017] Then, when a driving pulse phiH2 is started by fixed period high level, the same actuation is performed by the vertical read-out line 102b side, and a binary-ized signal is acquired. In addition, if MOS transistor QRSH for reset switches is turned on by two high-level change-overs of driving pulse phiRSH in a period t14, said level read-out lines 112a and 112b will be respectively reset by them (initialization).

[0018] Read-out actuation of the pixel of the 1st line in the periods t10-t14 shown above is similarly performed in the continuing periods t20-t24 repeatedly to the pixel of the 2nd line. Drawing 12 is the block diagram showing the configuration of the image processing system 120 which performs binary-ization of image data using other technique.

[0019] This image processing system 120 consists of the solid state camera 121, an AD translation circuit 122 which changes into a digital signal the signal (analog signal) showing the image data obtained by this solid state camera 121, an image memory 123 where the digital signal from this AD translation circuit 122 is saved, and an image-processing circuit 124 which makes binary the digital image data saved in this image memory 123.

[0020] That is, in this image processing system 120, after the analog signal acquired with the solid state camera 121 is changed into a digital signal in the AD translation circuit 122 established in the exterior of a solid state camera 121, it is saved temporarily in an image memory 123, and it is compared with a predetermined reference value and that binary-ization is performed in the image-processing circuit 124.

[0021]

[Problem(s) to be Solved by the Invention] however, in the conventional solid state camera 100 for binary-ized signal formation shown in above-mentioned drawing 10 The electrical signal according to the charge generated and accumulated by the pixel 101 (analog signal), The reference signal (analog signal) outputted through the transistor QA for magnification (magnification means) from the vertical-scanning circuit 106 must be told to a comparator 115, the path from which an analog

signal is transmitted becomes long, and a noise becomes easy to ride on the part and these analog signals (lowering of a S/N ratio).

[0022] The effect of the noise resulting from dispersion (dispersion on manufacture of a capacitor, the MOS transistor for a switch, etc.) for every train of the circumference circuit element which follows not only a picture element part but this especially becomes large. Moreover, in the conventional image processing system 120 shown in above-mentioned drawing 12, since it changes into a digital signal and binary-ized processing is performed after that after outputting a video signal as an analog signal from a solid state camera 121, there is nonconformity that circumference circuits other than solid state camera 121 are complicated, and the image processing system 120 whole becomes expensive.

[0023] Furthermore, although the scope of the video signal acquired with an image processing system 120, i.e., a dynamic range, was restricted in the input of the AD translation circuit 122, since it was narrower than the dynamic range of a solid state camera 121, generally the input dynamic range of the AD translation circuit 122 also had the nonconformity that the large dynamic range of a solid state camera 121 could not be effectively used in process of binary-ized processing.

[0024] Although carrying out by preparing an image-processing circuit for the above-mentioned binary-ized processing separately for every pixel of a solid state camera, and giving a binary-ized function for every pixel is also considered, the structure of the pixel itself becomes complicated in this case, and decline in the numerical aperture of a solid state camera and lowering of resolution will be caused. Moreover, when preparing an image-processing circuit separately for every pixel in this way, the nonconformity of becoming less irresistible is also in the request of arranging a pixel to high density and attaining many pixel-ization.

[0025] In being made in view of the above-mentioned trouble, and performing binary-ized processing of image data, this invention aims at offering the solid state camera for binary-ized signal formation which can enlarge a S/N ratio.

[0026]

[Means for Solving the Problem] In order to attain the above-mentioned object, invention according to claim 1 Two or more pixels which output the signal charge which was arranged in the shape of a matrix and generated in the photodetection section through a magnification means, Choose two or more vertical read-out lines formed for every train of two or more of said pixels, and the specific line of two or more of said pixels, and the electrical signal according to the signal charge from the photodetection section of the pixel concerned to desired timing A vertical-scanning means to transmit to the vertical read-out line concerned, and the electrical signal according to said signal charge which is prepared in each of said vertical read-out line, and is outputted from said pixel to the timing of said request, A binary-ized means to compare the reference signal outputted through said magnification means to the timing of said request, and different timing, and to output a binary-ized signal, The horizontal scanning of said two or more vertical read-out lines is carried out one by one, and it has a horizontal scanning means to transmit said binary-ized signal to a level read-out line.

[0027] Moreover, invention according to claim 2 consists of an optoelectric transducer to which said photodetection section generates the signal charge according to incident light, and connects the 1st switching means for supplying the signal charge from said optoelectric transducer to the regulatory region of this magnification means selectively, and the 2nd switching means for supplying desired potential to the regulatory region of this magnification means selectively from the outside of said pixel to said magnification means.

[0028] Moreover, the 1st storage means which memorizes the electrical signal according to said signal charge by which invention according to claim 3 was generated in said optoelectric transducer in said binary-ized means, A comparison means to compare said reference signal memorized by said electrical signal memorized by the 2nd storage means which memorizes the reference signal according to the potential of said request from the outside of said pixel, and said 1st storage means, and said 2nd storage means, and to output a binary-ized signal constitutes.

[0029] Moreover, invention according to claim 4 considers as a charge storage means to accumulate the charge according to said electrical signal outputted from said pixel in said 1st storage means, and is taken as a charge storage means to accumulate the charge according to said reference signal outputted from said pixel in said 2nd storage means.

[0030] Moreover, invention according to claim 5 establishes the transfer means for switching for transmitting selectively said electrical signal outputted from said pixel, or said reference signal between said pixel and said two charge storage means. Moreover, invention according to claim 6 uses said magnification means as a junction field effect transistor, and supplies selectively said signal charge generated in said optoelectric transducer, and the potential of said request from the outside of said pixel to the gate of this junction field effect transistor.

[0031] Moreover, the bias means which carries out bias of the potential of said vertical read-out line so that said reference signal according to the potential of said request by which said binary-ized means was supplied to invention according to claim 7 from a current source and the outside of said pixel may become equal to the current of said current source, A current detection means to detect the difference of a bias storage means to memorize the bias condition of this bias means, and a said electrical signal according to said signal charge generated in said optoelectric transducer and the current of said current source, The means for switching for inputting into said current detection means constitutes the current of the difference of

said electrical signal according to said signal charge generated in said optoelectric transducer, and the current of said current source.

[0032] Invention according to claim 8 is constituted from a transistor for constant current by which said bias means was connected in the principal current path between said vertical read-out lines and said current sources. Said bias storage means Moreover, the control electrode of said transistor for constant current, It is prepared between the near terminals connected to said current source among the terminals of the principal current path of this transistor for constant current. The sample hold change means for sampling the bias condition of said transistor for constant current, and holding after that, It connects with said control electrode of said transistor for constant current, and a bias charge storage means to hold the bias of said transistor for constant current constitutes.

[0033] Moreover, invention according to claim 9 connects to said comparison means an output signal storage means to memorize said binary-ized signal from this comparison means. Moreover, invention according to claim 10 uses said optoelectric transducer as an embedding photodiode.

[0034] (Operation) According to invention according to claim 1, with the binary-ized means established for two or more vertical read-out lines of every the binary-ized signal which the binary-ized signal of image data was generated and was this generated -- the level read-out line from a vertical read-out line -- further Even if a noise rides on this electrical signal (binary-ized signal) when this level read-out line is transmitted since it will be transmitted to an output terminal, compared with the case of an analog signal, that effect becomes small.

[0035] Moreover, since the reference signal used in case binary-ization is performed is outputted through the magnification means of the pixel concerned according to invention according to claim 2, the electrical signal and reference signal according to incident light can be made to output in the same path. Moreover, according to invention according to claim 3, a binary-ized signal can be acquired only by comparing mutually the value which made the electrical signal and reference signal according to the incident light outputted once memorize, and made them this memorize one by one through the pixel concerned.

[0036] Moreover, according to invention according to claim 4, the reference signal outputted can be suitably stored in a capacitor etc. one by one through the pixel concerned. Moreover, according to invention according to claim 5, the reference signal outputted from said magnification means and the electrical signal according to incident light can be selectively supplied to two charge storage means with a transfer change means.

[0037] Moreover, according to invention according to claim 6, since transfer direct of the charge according to incident light can be carried out to the gate, the transfer way of the charge concerned is shortened and a noise stops being able to ride easily. Moreover, according to invention according to claim 7, the reference signal in which the fixed pattern noise of a pixel was made to reflect is memorized simply, the this memorized reference signal is compared with the electrical signal according to incident light by the simple approach, and a binary-ized signal can be acquired.

[0038] Moreover, according to invention according to claim 8, the circuit which compares a reference signal with an electrical signal and generates a binary-ized signal can be attained with a simple configuration. Moreover, according to invention according to claim 9, since the detecting signal made binary is stored in the output signal storage means concerned, it can read the detecting signal concerned from an output terminal suitably to desired timing.

[0039] Moreover, since the depletion layer produced in the pn junction section of the photodiode concerned does not reach on the surface of a pixel in the optoelectric transducer of each pixel according to invention according to claim 10, the dark current is controlled.

[0040]

[Embodiment of the Invention]

(1st operation gestalt) The 1st operation gestalt of this invention is hereafter explained to a detail with reference to drawing 3 from drawing 1.

[0041] Drawing 1 is the circuit diagram showing the outline configuration of the solid state camera 10 for binary-ized signal formation concerning the 1st operation gestalt. In addition, with this 1st operation gestalt, in order to simplify explanation, four pixels 1, 1, 1, and 1 explain using the example arranged by the shape of a matrix (2x2 pieces). The photodiode PD with which a pixel 1 (a drawing 1 destructive line shows) generates and accumulates the charge according to incident light (photodetection section; optoelectric transducer) The transistor QA for magnification which outputs the electrical signal (analog signal) according to incident light to the source according to the signal charge supplied to regulatory region (control electrode; gate) (setting [Magnification means;] in this operation gestalt junction field effect transistor JFET of an n channel mold) MOS transistor QT (the 1st switching means) for a transfer for supplying selectively the charge generated and accumulated with said photodiode PD, and the potential (voltage levels VRS, VRF, and VRD) supplied from the vertical-scanning circuit 6 to said gate (regulatory region) (p channel mold), It is constituted by MOS transistor (p channel mold) QP for reset (the 2nd switching means) for resetting the signal charge accumulated in said gate (regulatory region).

[0042] In addition, with this operation gestalt, the embedding photodiode of vertical mold overflow structure is used as a photodiode PD. Moreover, said MOS transistor QP for reset also has the work which supplies the potential (voltage levels

VRS, VRF, and VRD) according to the reference signal sent from the clock lines 4a and 4b to said gate (regulatory region). [0043] Moreover, supply voltage VD is connected to the cathode of said photodiode PD, and the signal charge according to incident light is outputted to it from this photodiode PD. Moreover, supply voltage VD is connected to the drain of said transistor QA for magnification, and the electrical signal (analog signal) according to the charge accumulated in the gate (regulatory region) by source follower actuation is outputted from the source.

[0044] Moreover, common connection of the source of the transistor QA for magnification of each pixel 1 is respectively made for every train of matrix arrangement at vertical read-out line 2a and 2b. On the other hand, if common connection is made and driving pulse phiTG1 or phiTG2 of a low level is given to the clock lines 3a and 3b connected to the vertical-scanning circuit 6 from the vertical-scanning circuit 6, MOS transistor QT for a transfer concerned will carry out sequential ON of the gate of MOS transistor QT for a transfer for every line. In addition, the vertical-scanning means is constituted by the vertical-scanning circuit 6, the clock lines 3a, 3b, and 4a, 4b--, etc.

[0045] Moreover, common connection of the drain of MOS transistor QP for reset is made on the clock lines 4a and 4b connected to the vertical-scanning circuit 6 for every line, and the gate is connected to the node 5 by the side of a driving pulse generating circuit (graphic display abbreviation) through line 5a. Moreover, the source of MOS transistor QP for reset is the drain of MOS transistor QT for a transfer, and a share. And if pulse phiRG of a low level is given to the gate of MOS transistor QP for reset from said driving pulse generating circuit, this MOS transistor QP for reset turns on.

[0046] Moreover, in the middle of the above mentioned vertical read-out line 2a and 2b, the binary-ized circuit (binary-ized means) 7 is arranged for every train (it is a drawing destructive line and shown). One terminal of the capacitors CO1 and CO2 for binary-ized signal are recording is connected to vertical read-out line 2a of the output side of this binary-ized circuit 7, and 2b through MOS transistor QO1 for a switch (n channel mold), and QO2.

[0047] Furthermore, the level read-out line 12 is connected to one [said] terminal of the capacitors CO1 and CO2 for binary-ized signal are recording through MOS transistors QH1 and QH2 for a level read-out switch (n channel mold), and the output-buffer amplifier 15 is connected to the latter part. In addition, the other-end child of the capacitors CO1 and CO2 for binary-ized signal are recording is grounded.

[0048] In this case, it connects with the node 10 by the side of a driving pulse generating circuit (graphic display abbreviation) through clock line 10a, and when high-level driving pulse phiTO is given to the gate of said MOS transistor QO1 for a switch, and QO2 from a driving pulse generating circuit, MOS transistor QO1 for a switch and QO2 turn on the gate of said MOS transistor QO1 for a switch, and QO2.

[0049] Moreover, each gate of said MOS transistors QH1 and QH2 for a level read-out switch It connects with the level selection-signal lines 11a and 11b respectively. When the high-level driving pulse phiH1 and phiH2 are given to each gate of said MOS transistors QH1 and QH2 for a level read-out switch from the horizontal scanning circuit 13 connected to said horizontal scanning circuit 13, these turn on. Control (horizontal scanning) of level read-out is performed. In addition, the horizontal scanning means is constituted by the level selection-signal lines 11a and 11b and horizontal scanning circuit 13 grade.

[0050] Moreover, the drain of MOS transistor (n channel mold) QRSH for reset switches is connected to said level read-out line 12. As for this MOS transistor QRSH for reset switches, that source is grounded. And clock line 14a is connected to the gate of this MOS transistor QRSH for reset switches, and this clock line 14a is connected to the node 14 by the side of a driving pulse generating circuit (graphic display abbreviation). And when high-level driving pulse phiRSH is given to the gate of this MOS transistor QRSH for reset switches from a driving pulse generating circuit, this MOS transistor QRSH for reset switches is turned on.

[0051] Moreover, said vertical read-out line 2a and 2b are connected to the drain and each constant current sources 17a and 17b of MOS transistors QRSV1 and QRSV2 for reset switches (n channel mold) for every train. At this time, the source of MOS transistors QRSV1 and QRSV2 for reset switches is grounded, and supply voltage VC (negative) is connected to each constant current sources 17a and 17b.

[0052] And it connects with the node 16 by the side of a driving pulse generating circuit (graphic display abbreviation) through clock line 16a, and when driving pulse phiRSV sent out from this driving pulse generating circuit is given to the gate of said MOS transistors QRSV1 and QRSV2 for reset switches, these MOS transistors QRSV1 and QRSV2 for reset switches turn on the gate of said MOS transistors QRSV1 and QRSV2 for reset switches.

[0053] by the way, said binary-ized circuit 7 (a drawing 1 destructive line shows) carried out is arranged at vertical read-out line 2a which branched by the each nodes n1 and n2 to two read-out line 2a-1, 2a-2 and 2bs -1, and 2b -1, and 2b. That is, MOS transistor QR (transfer means for switching) for a switch (n channel mold) and the capacitor CR for reference signal are recording (2nd storage means) are connected to read-out line 2a-1 and 2b -1. Moreover, MOS transistor QS (transfer means for switching) for a switch (n channel mold) and the capacitor CS for output-signal are recording (1st storage means) are connected to read-out line 2a-2 and 2b -2.

[0054] And both two read-out line 2a-1, 2a-2, read-out line 2bs -1, and 2bs -1 by which branching was carried out [above-

mentioned] are connected to the electrical-potential-difference comparator AC (comparison means). A deer is carried out and the signal (binary-ized signal) made binary from this electrical-potential-difference comparator AC is outputted. On the other hand, if it connects with the nodes 8 and 9 by the side of a driving pulse generating circuit (graphic display abbreviation) through the clock lines 8a and 9a, respectively and high-level driving pulse phiTS and phiTR are respectively given to the gate from this driving pulse generating circuit, MOS transistors QS and QR for these switches turn on the gate of MOS transistors QS and QR for a switch.

[0055] Next, actuation of the solid state camera 10 for binary-ized signal formation of the above-mentioned configuration is explained with reference to the timing chart of drawing 2. In addition, in drawing 2, periods t10-t17 show read-out actuation of the pixel 1 of the 1st line of drawing 1, and periods t20-t27 show read-out actuation of the pixel 1 of the 2nd line.

[0056] As shown in drawing 2, before continuing till a period t10, driving pulse phiTG1 and phiTG2 are held high-level, driving pulse phiRD1 and phiRD2 are held at a low level (voltage-level VRS), driving pulse phiRG is held high-level, driving pulse phiRSV, driving pulse phiTR, and phiTS are held at a low level, and driving pulse phiTO is held at a low level. In addition, all of a driving pulse phiH1, phiH2, and driving pulse phiRSH are held at a low level.

[0057] And if it continues till a period t10, driving pulse phiRG is reversed by the low level, driving pulse phiRSV will be reversed high-level and driving pulse phiTR and phiTS will be reversed high-level.

[0058] A deer is carried out, and if driving pulse phiRG is set to a low level, MOS transistor (p channel mold) QP for reset will serve as ON. Moreover, if driving pulse phiRSV becomes high-level, MOS transistors QRSV1 and QRSV2 for reset switches (n channel mold) will serve as ON. Moreover, if driving pulse phiTR and phiTS become high-level, MOS transistors QR and QS for a switch (n channel mold) will serve as ON.

[0059] Since driving pulse phiTO is held at a low level at this time, MOS transistor QO1 for a switch and QO2 are off.

Furthermore, both driving pulse phiRD1 and phiRD2 serve as voltage-level VRS (low level), and the electrical potential difference VRS gets across to the gate (regulatory region) of each transistor QA for magnification through the transistor QP for reset used as ON.

[0060] At this time, bias of the gate (regulatory region) of the transistor QA for magnification is carried out to voltage-level VRS. This potential is a low level and becomes off [this transistor QA for magnification]. Moreover, in this period t10, since MOS transistors QRSV1 and QRSV2 for reset switches serve as both ON as described above, the source of the transistor QA for magnification of all the pixels 1 is grounded.

[0061] Since MOS transistors QR and QS for a switch are turned on as mentioned above at this time (period t10), the signal charge which remains to the capacitor CR for reference signal are recording and the capacitor CS for output-signal are recording is also discharged at the constant current source 17a and 17b side (reset). In addition, in this period t10, since both driving pulse phiTG1 and phiTG2 are held high-level, MOS transistor QT for a transfer (p channel mold) has become off, and the charge (signal charge) according to incident light is generated and accumulated with each photodiode PD.

[0062] Next, if it continues till a period t11, driving pulse phiRD1 will be made into a reference voltage level VRF, and driving pulse phiTS will be reversed by the low level. MOS transistor QS for a switch (n channel mold) becomes off by driving pulse phiTS of the above-mentioned low level. Moreover, said reference voltage level VRF is supplied to the gate (regulatory region) of the transistor QA for magnification of each pixel 1 of the 1st line through MOS transistor QP for reset of the 1st line already held at ON at this time.

[0063] Thus, while turning on the transistor QA for magnification of the 1st line to which the reference voltage level VRF was supplied, bias of the gate (regulatory region) of this transistor QA for magnification is carried out to a reference voltage level VRF. In addition, since driving pulse phiRD2 continues being a low level (voltage-level VRS), each transistor QA for magnification of the 2nd line is held at OFF (un-choosing), while the gate (regulatory region) has been voltage-level VRS.

[0064] Next, if it continues till a period t12, driving pulse phiRD1 will be set to voltage-level VRS (low level), and driving pulse phiRSV will be reversed for driving pulse phiRG by the low level high-level. When said driving pulse phiRG becomes high-level, MOS transistor (p channel mold) QP for reset will become off, the gate (regulatory region) of the transistor QA for magnification of the 1st line will be in floating, but with the capacity which is parasitic on the gate of this transistor QA for magnification, while bias of the electrical potential difference of this gate had been carried out to said reference voltage level VRF, the condition is held.

[0065] Moreover, in this period t12, since driving pulse phiRSV serves as a low level as mentioned above, both MOS transistors QRSV1 and QRSV2 for reset switches (n channel mold) become off. In addition, since driving pulse TS is still a low level, MOS transistor QS for a switch (n channel mold) is still off.

[0066] Consequently, in a period t12, the transistor QA for magnification of the 1st line chosen in the period t11 (ON) carries out source follower actuation, and the current (drain current) on which the potential (this potential is set to VSR) of the source of this transistor QA for magnification flows between that source drain goes up until it is set to IB (current value which flows to constant current sources 17a and 17b). A deer is carried out, and at this time, through MOS transistor QR for a switch which already serves as ON, Current (drain current) IB flows to the capacitor CR for reference signal are recording, and it is charged

so that the electrical potential difference of those ends may serve as VSR.

[0067] In addition, in a period t12, when the current which flows between source drains by source follower actuation is set to IB, the potential VSR of the source of the transistor QA for magnification becomes the value shown in a degree type (1).

$$VSR=VRF-VT \text{ -- (1)}$$

Here, VT is an electrical potential difference between the gate sources in case the drain current of each transistor QA for magnification is IB.

[0068] Next, if it continues till a period t13, driving pulse phiRG will be reversed by the low level and driving pulse phiTR will be reversed by the low level. When driving pulse phiTR serves as a low level, MOS transistor QR for a switch (n channel mold) becomes off, and the capacitor CR for reference signal are recording holds the potential VSR expressed with said formula (1) charged in the period t12.

[0069] Moreover, when driving pulse phiRG serves as a low level, MOS transistor (p channel mold) QP for reset serves as ON. Next, if it continues till a period t14, driving pulse phiRD1 will serve as a voltage level VRD (= read-out level <VRF). through each MOS transistor QP for reset switches of the 1st line which is already alike and serves as ON at this time, said electrical potential difference VRD carries out reading appearance of propagation and this gate at the gate (regulatory region) of each transistor QA for magnification of the 1st line, and bias is carried out to level VRD.

[0070] Next, if it continues till a period t15, driving pulse phiTG1 will be reversed by the low level, driving pulse phiRD1 will be reversed by the low level (voltage-level VRS), and driving pulse phiRG will be reversed high-level. And with the capacity which is parasitic on the gate of the MOS transistor QP concerned, although said MOS transistor QP for reset will become off and the gate (regulatory region) of the transistor QA for magnification of the 1st line will be in floating by reversing driving pulse phiRG high-level, the electrical potential difference of this gate is held, while bias had been carried out to the voltage level VRD by it.

[0071] Moreover, when driving pulse phiTG1 is reversed by the low level, MOS transistor QT for a transfer of the pixel 1 of the 1st line turns on. At this time, the signal charge generated and accumulated in the photodiode PD of the pixel 1 of the 1st line is transmitted to the gate (regulatory region) of the transistor QA for magnification of the pixel 1 of the 1st line. And from the transistor QA for magnification of the 1st line, the electrical signal (voltage signal) according to the charge (signal charge) received to the gate (regulatory region) is outputted to vertical read-out line 2a and 2b by transfer of this signal charge by source follower actuation.

[0072] That is, if the signal charge according to incident light is supplied to the gate (regulatory region) of the transistor QA for magnification from Photodiode PD as mentioned above, the potential of the gate of the transistor QA for magnification will also rise according to the supplied charge. And by lifting of this potential, the transistor QA for magnification of the 1st line will carry out source follower actuation, and the potential of the source of the transistor QA for magnification concerned will also rise according to a gone up part of the potential of said gate.

[0073] And at the time of termination of a period t15, i.e., initiation of a period t16, shortly, it is reversed high-level and driving pulse phiTG1 becomes again off [MOS transistor QT for a transfer of the 1st line]. Off [this MOS transistor QT for a transfer], therefore, it is generated in the photodiode of the pixel 1 of the 1st line, and although a transfer of the accumulated signal charge will be completed and the gate (regulatory region) of the transistor QA for magnification of the 1st line will be in floating again, the electrical potential difference of this gate is held with the capacity which is parasitic on the gate of the transistor QA for magnification, with the part of the signal charge transmitted from Photodiode PD going up.

[0074] Next, if it continues till a period t16, driving pulse phiTS and phiTO will be reversed high-level. And MOS transistor QS for a switch (n channel mold) is turned on because driving pulse phiTS becomes high-level. By ON of this MOS transistor QS for a switch, the charge according to the potential of the source of the transistor QA for magnification of the 1st line is charged by the capacitor CS for output-signal are recording.

[0075] When driving pulse phiTO becomes high-level on the other hand, both MOS transistor QO1 for a switch and QO2 serve as ON. By the way, when the current which flows between source drains by source follower actuation of the transistor QA for magnification is set to IB also in this period t16, the potential (it expresses with VSS) of the source of this transistor QA for magnification serves as a value shown by the following formulas (2).

[0076]

$$VSS=VRD+VS-VT \text{ -- (2)}$$

Here, the electrical potential difference between the gate sources in case the drain current of VT of each transistor QA for magnification is IB, and VS are gone up parts of gate potential expressed with (the charge/gate capacitance) according to incident light.

[0077] Moreover, since driving pulse phiTS is high-level (MOS transistor QS for a switch turns on), the ends of the capacitor CS for output-signal are recording serve as the potential VSS expressed with said formula (2) charged in the period t16 concerned. In addition, this potential VSS will be charged by the capacitor CS for output-signal are recording by the event of a low level being reversed and said driving pulse phiTS becoming off [MOS transistor QS for a switch] at the time of

termination of a period t16 (at the time of initiation of a period t17).

[0078] Thus, in the ends of the capacitor CR for reference signal are recording, an electrical potential difference VSD (= VRF-VT) is held, from the electrical-potential-difference comparator AC, the size of electrical potential differences VSD and VSS produced to the capacitor CR for these reference signal are recording and the capacitor CS for output-signal are recording is compared, and the binary-ized signal showing this comparison result is outputted because the ends of the capacitor CS for output-signal are recording serve as an electrical potential difference VSS (= VRD+VS-VT).

[0079] Moreover, in this period t16, since driving pulse phiTO is high-level, MOS transistor QO1 for a switch (n channel mold) and QO2 serve as ON, and the value of a binary-ized signal is stored in the capacitors CO1 and CO2 for binary-ized signal are recording through MOS transistor QO1 for these switches (n channel mold), and QO2. In addition, both a driving pulse phiH1 and phiH2 are low level at this time, and both MOS transistors QH1 and QH2 for a switch (n channel mold) are off.

[0080] By the way, about a reference voltage level VRF, if it is a bigger value than the read-out electrical potential difference VRD, the value can be set as arbitration. now, temporarily, if reading appearance of the reference voltage level is carried out and an electrical potential difference VRD is set to criteria (for example, carrying out reading appearance the sum of an electrical potential difference VRD and reference voltage VREF setting out), reference voltage VREF can be directly compared with said signal level VS carried out.

[0081] When the reference voltage level at this time is set to VSR1, the value of VSR1 is expressed with a degree type (3).

$$VSR1 = VRF - VT = VRD + VREF - VT \quad \text{-- (3)}$$

Therefore, the difference (comparison result) of an electrical potential difference VSS and an electrical potential difference VSR1 serves as relation shown in a degree type (4).

[0082]

$$VSS - VSR1 = (VRD + VS - VT) - (VRD + VREF - VT)$$

$$= VS - VREF \quad \text{-- (4)}$$

Therefore, the output of the electrical-potential-difference comparator AC serves as a binary-ized signal which compared the signal level VS and reference voltage VREF according to the charge obtained with Photodiode PD, and was acquired.

[0083] A deer is carried out, if the signal level VS according to incident light is larger than reference voltage VREF, the output of the electrical-potential-difference comparator AC will serve as supply voltage VD (high-level), and if the signal level VS according to incident light is smaller than reference voltage (VREF), the output of the electrical-potential-difference comparator AC will serve as touch-down level (low level). If it puts in another way, the signal level VS according to incident light will be changed into a binary-ized signal by the electrical-potential-difference comparator AC by making reference voltage VREF into threshold level.

[0084] In addition, it is known that the value of the electrical potential difference VT between the gate sources in top type (1) - (4) will cause dispersion and a fixed pattern noise for every transistor QA for magnification. As a deer is carried out and the drain current of the same transistor QA for magnification both [above] serves as the fixed value IB, since an electrical signal (signal level) is read and compared with a reference signal (reference voltage), in case it changes into a binary-ized signal, the effect of the binary-ized signal concerned on the fixed pattern noise resulting from dispersion for every transistor QA for magnification of each pixel 1 can be removed.

[0085] Thus, the binary-ized signal outputted from the electrical-potential-difference comparator AC is charged by the capacitors CO1 and CO2 for binary-ized signal are recording through MOS transistor QO1 for a switch and QO2 which are held at ON at this event (period t16).

[0086] And at the time of termination of the above-mentioned period t16, since driving pulse phiTO is reversed by the low level, MOS transistor QO1 for a switch and QO2 will become off, and the capacitors CO1 and CO2 for binary-ized signal are recording will be in floating. Consequently, a binary-ized signal is held respectively at the capacitors CO1 and CO2 for binary-ized signal are recording. Next, if it continues till a period t17, the driving pulse phiH1 from the horizontal scanning circuit 13 will be started by fixed period high level, and will be held after that at a low level.

[0087] moreover, predetermined spacing after said driving pulse phiH1 was held about the driving pulse phiH2 at a low level -- it is, fixed period high level rises, and it is held after that at a low level. Furthermore, in between, before actuation phiH2 starts about driving pulse phiRSH after said driving pulse phiH1 falls to a low level, after fixed period high level rises, it is held after that at a low level and said driving pulse phiH2 falls to a low level after that, fixed period high level rises again and it is held after that at a low level.

[0088] A deer is carried out, reading appearance of the binary-ized signal currently held at the capacitor CO 1 for binary-ized signal are recording is carried out to the level read-out line 12 by high-level change-over of a driving pulse phiH1 to the change-over timing, and it is outputted one by one to an output terminal VO through the output-buffer amplifier 15. If MOS transistor QRSH for reset switches is turned on by high-level change-over of continuing driving pulse phiRSH, said level read-out line 12 will be reset by it (initialization). Since a part of this electrical signal (voltage signal) is held with it at the parasitic capacitance concerned when reading appearance of the voltage signal is carried out to the level read-out line 12 by the

parasitic capacitance of the level read-out line 12, this is for resetting the electrical signal which remains on this level read-out line 12.

[0089] And reading appearance of the binary-ized signal currently held at the capacitor CO 2 for binary-ized signal are recording is carried out to the level read-out line 12 by high-level change-over of a driving pulse phiH2 to the change-over timing, and it is outputted one by one to an output terminal VO through the output-buffer amplifier 15. Finally, if driving pulse phiRSH cuts high-level and replaces, MOS transistor QRSH for reset switches will be turned on, and said level read-out line 12 will be reset again (initialization).

[0090] in addition, said electrical signal (voltage signal) which was carried out and in which carries out reading appearance and reading appearance is carried out to the level read-out line 12 by the effect of the parasitic capacitance of a line, although time amount is taken until a wave becomes blunt and it reaches a steady state With this operation gestalt, since the electrical signal (voltage signal) which appears in the level read-out line 12 is already changed into the binary-ized signal, even if it does not reach a steady state, the distinction of any to express between high level/low level of the electrical signal is attained, and improvement in the speed of the read-out actuation is attained.

[0091] At the time of termination of a period t17 (until it continues till a period t20), driving pulse phiRG is reversed by the low level and driving pulse phiRSV, driving pulse phiTR, and driving pulse phiTS are reversed high-level. And when said driving pulse phiRG serves as a low level, MOS transistor QP for reset switches serves as ON.

[0092] Moreover, when driving pulse phiRSV becomes high-level, both MOS transistors QRSV1 and QRSV2 for a switch serve as ON, and the charge on vertical read-out line 2a and 2b is discharged. Moreover, when driving pulse phiTR and phiTS become high-level, MOS transistors QR and QS for a switch become off, and the charge accumulated in the capacitor CR for reference signal are recording and the capacitor CS for output-signal are recording is discharged.

[0093] Read-out actuation of the pixel of the 1st line in the periods t10-t17 shown above is similarly performed in the continuing periods t20-t27 repeatedly to the pixel of the 2nd line.

[0094] Next, the concrete configuration of the pixel 1 shown in drawing 1 is explained to a detail using drawing 3 (A) - (C). The pixel 1 is constituted by MOS transistor QP for reset which resets the charge of junction field effect transistor QA which amplifies the signal charge accumulated in the embedding photodiode PD of the vertical mold overflow structure which generates and accumulates the signal charge according to incident light, and this embedding photodiode PD, MOS transistor QT for a transfer which transmits the signal charge accumulated in said embedding photodiode PD to the gate of this junction field effect transistor QA, and the gate of said junction field effect transistor QA as shown in drawing 1.

[0095] Drawing 3 (A) Drawing 3 (A) is the top view showing the example of device structure of a pixel 1, - (C) is drawing showing the device structure of the pixel 1 shown in drawing 1, among these drawing 3 (C) is [drawing 3 (B) is the sectional view which met X1-X1 line of drawing 3 (A), and] the sectional view which met Y1-Y1 line of drawing 3 (A). The embedding photodiode PD which generates and accumulates the signal charge according to incident light as a pixel 1 is shown in drawing 3 (A) - (C) The transistor QA for magnification which outputs the electrical signal according to the signal charge received to the gate (regulatory region) (JFET) MOS transistor QT for a transfer which transmits the signal charge generated and accumulated by said embedding photodiode PD to the gate (regulatory region) of this transistor (JFET) QA for magnification, It is constituted by MOS transistor QP for reset which resets the charge of the gate (regulatory region) of said transistor (JFET) QA for magnification.

[0096] Among these, as shown in drawing 3 (C), MOS transistor QT for a transfer uses p field of the embedding photodiode PD, and p mold gate field of the transistor (JFET) QA for magnification for two diffusion layers, and is constituted as a p channel mold MOS transistor which made TG the gate.

[0097] Moreover, MOS transistor QP for reset is constituted as a p channel mold MOS transistor which uses as the source p field which constitutes [RG] the gate of a drain and the transistor QA for magnification for RD (p field) to the gate, as shown in drawing 3 (B). Moreover, embedding photodiode PD itself forms the embedding photodiode (it embeds by npn, a photodiode is constituted and overflow structure is constituted by pnp.) of the vertical mold overflow structure of a npnp mold toward a p type silicon substrate (p-Sub) from n mold silicon layer (n+) front face, as shown in drawing 3 (A) - (C).

[0098] Therefore, since a charge does not remain in Photodiode PD after the dark current is controlled and a signal charge is transmitted, since the depletion layer produced in the pn junction section with the embedding photodiode PD does not arrive at a front face while being able to control the phenomenon of blots, such as a blooming and a smear, according to the overflow structure which absorbs the overflowing carrier, an after-image and the ideal property which stopped the reset noise can be acquired.

[0099] Moreover, the transistor (JFET) QA for magnification itself consists of an n+ mold source field and an n+ mold drain field, and p mold gate field (p gate) and an n-type channel field (n channel), as shown in drawing 3 (A) - (C). Among these, p mold gate field (p gate) has separated electrically this p mold gate field (p gate) and a p type silicon substrate (p-Sub) by n well (n-Well) while making it flow through both (p mold gate field (p gate) formed up and down) electrically in the part in which an n-type channel field (n channel) is formed in up and down, and a channel is not formed.

[0100] Consequently, the effect of the substrate electrical potential difference given to the property of photodiode PD own [as an optoelectric transducer] (the substrate bias effectiveness) is reduced substantially, and big effectiveness is shown in aiming at improvement in the resolution of each pixels 1, 1, 1, and 1, and reduction (for example, reduction of a fixed pattern noise) of dispersion in a property.

[0101] As mentioned above, since the path in which the electrical signal according to incident light is acquired from Photodiode PD, and the path from which a reference signal is acquired are the same according to the solid state camera 10 for binary-ized signal formation of this 1st operation gestalt, not to mention a picture element part, the effect of dispersion (dispersion on manufacture of a capacitor, the MOS transistor for a switch, etc.) for every train of the circumference circuit element following it can be lost, and a S/N ratio can be made high.

[0102] Moreover, since clearance of the fixed pattern noise resulting from the dark current currently performed conventionally is performed according to the generate time of the above-mentioned reference signal, the differential amplifier which was required for clearance of the fixed pattern noise concerned becomes unnecessary conventionally.

(2nd operation gestalt) Next, the solid state camera 20 for binary-ized signal formation of the 2nd operation gestalt is explained with reference to drawing 4 and drawing 5.

[0103] Only the configurations of the solid state camera 10 for binary-ized signal formation of the 1st operation gestalt and the binary-ized circuit 27 which described above the solid state camera 20 for binary-ized signal formation of this 2nd operation gestalt differ. Therefore, among the solid state cameras 20 for binary-ized signal formation, about the same configuration as the solid state camera 10 for binary-ized signal formation, the same sign is attached and the explanation is omitted. The binary-ized circuit 27 of the solid state camera 20 for binary-ized signal formation As shown in drawing 4 in a broken line, MOS transistor QB (bias means) for bias (p channel mold), MOS transistor QRB (bias storage means; sample hold means for switching) for a switch (p channel mold), MOS transistor QSB (means for switching) for a switch (n channel mold), The capacitor CRB (bias storage means; bias charge storage means) for bias are recording, It is constituted by MOS transistor QX (current detection means) for current detection (n channel mold), MOS transistor QY for a binary-ized output (n channel mold), and the current source CS for loads and Inverter AX. And the binary-ized signal which compared the electrical signal according to the incident light from a pixel 1 with the predetermined reference signal, and was acquired from the above-mentioned inverter AX is outputted. In addition, this binary-ized circuit 27 is arranged at that middle at every each vertical read-out line 22a and 22b (every common train of two or more pixels 1, 1, 1, and 1 arranged in the shape of a matrix).

[0104] MOS transistor QB for bias which constitutes the binary-ized circuit 27 is connected to the vertical read-out lines 22a and 22b by which between the source drain (principal current path) corresponds respectively, and, more specifically, the gate is connected to one terminal of the capacitor CRB for bias are recording. In addition, the other-end child of this capacitor CRB for bias are recording is grounded.

[0105] Moreover, one [said] terminal of said capacitor CRB for bias are recording is connected to the node n21 to which the source of MOS transistor QB for bias is connected through MOS transistor QRB for a switch. Furthermore, constant current sources (current source) 17a and 17b are connected to this node n21. Moreover, the drain of MOS transistor QX for current detection, the gate, and the gate of MOS transistor QY for a binary-ized output are connected to the downstream (method of drawing 4 Nakashita) of said node n21 through MOS transistor QSB for a switch.

[0106] In this case, supply voltage VC (negative) is respectively connected to the source of MOS transistor QX for current detection, and the source of MOS transistor QY for a binary-ized output. Furthermore, as for said MOS transistor QY for a binary-ized output, the drain is connected to the input terminal of the current source CS for loads, and Inverter AX. In this case, supply voltage VD (forward) is connected to this constant current source CS for loads.

[0107] In addition, as for above mentioned MOS transistor QRB for a switch, the gate is connected to the node n23 by the side of a driving pulse generating circuit (graphic display abbreviation) through clock line 23a. If a deer is carried out and driving pulse phiR of a low level is given to the gate of said MOS transistor QRB for a switch (p channel mold) from a driving pulse generating circuit, MOS transistor QRB for a switch concerned turns on.

[0108] Moreover, the gate of said MOS transistor QSB for a switch is connected to the node n24 by the side of a driving pulse generating circuit (graphic display abbreviation) through clock line 24a. If a deer is carried out and high-level driving pulse phiS is given to the gate of said MOS transistor QSB for a switch (n channel mold) from a driving pulse generating circuit, MOS transistor QSB for a switch concerned turns on.

[0109] Next, generation of the binary-ized signal by this solid state camera 20 for binary-ized signal formation is explained with reference to the timing chart shown in drawing 5. In addition, the periods t10-t17 shown in drawing 5 show read-out actuation of the pixel 1 of the 1st line, and periods t20-t27 show read-out actuation of the pixel 1 of the 2nd line.

[0110] As shown in drawing 5, before continuing till a period t10, driving pulse phiTG1, phiTG2, driving pulse phiRG, and driving pulse phiR is held high-level, and driving pulse phiRD1 and phiRD2 are held at a low level (voltage-level VRS). Moreover, all of other driving pulse phiS, driving pulse phiTO, a driving pulse phiH1, phiH2, and driving pulse phiRSH are held at a low level.

[0111] And if it continues till a period t10, driving pulse phiRG will be reversed by the low level and MOS transistor (p channel mold) QP for reset in a pixel 1 will serve as ON. Furthermore, both driving pulse phiRD1 and phiRD2 serve as voltage-level VRS (low level), and the electrical potential difference VRS gets across to the gate (regulatory region) of each transistor QA for magnification through said transistor QP for reset used as ON.

[0112] In addition, at this time, since both driving pulse phiTG1 and phiTG2 are held high-level, MOS transistor QT for a transfer (p channel mold) has become off, with each photodiode PD, the charge (signal charge) according to incident light is generated, and they are accumulated. Although a deer is carried out and bias of the gate (regulatory region) of the transistor QA for magnification is carried out to voltage-level VRS, since it has a low level like the case of the 1st operation gestalt about that output at this event (initial state), the transistor QA for these magnification is off as a whole.

[0113] Moreover, since driving pulse phiR is held high-level succeedingly, MOS transistor QRB for a switch (p channel mold) is off. Moreover, since driving pulse phiS is held succeedingly at a low level, its MOS transistor QSB for a switch (n channel mold) is also off. Moreover, since driving pulse phiTO is held at a low level at this time, MOS transistor QO1 for a switch and QO2 are off.

[0114] Next, if it continues till a period t11, driving pulse phiRD1 will be made into a reference voltage level VRF, and driving pulse phiR will be reversed by the low level. And the reference voltage level VRF of above-mentioned driving pulse phiRD1 is supplied to the gate (regulatory region) of the transistor QA for magnification of a pixel 1 through MOS transistor QP for reset which already serves as ON, and bias of the gate (regulatory region) of this transistor QA for magnification is carried out to a reference voltage level VRF.

[0115] In addition, since driving pulse phiRD2 continues being a low level (voltage-level VRS), each transistor QA for magnification of the 2nd line is held at OFF (un-choosing). Moreover, in this period t11, since driving pulse phiR is set to a low level as described above, MOS transistor QRB for a switch (p channel mold) serves as ON, and the gate and the drain of MOS transistor QB for bias are connected.

[0116] At this time, the potential of the source of the transistor QA for magnification and the gate of MOS transistor QB for bias is automatically set up so that the drain current of the transistor QA for magnification of the 1st line and the drain current of MOS transistor QB for bias may serve as IB (current value which flows to constant current sources 17a and 17b). Moreover, the potential of the gate of MOS transistor QB for bias at this time is held between the capacitors CRB for bias are recording.

[0117] Next, if it continues till a period t12, driving pulse phiRD1 will be returned to a low level (voltage-level VRS), and driving pulse phiRG and driving pulse phiR will be reversed high-level. Although MOS transistor QP for reset in a pixel 1 will become off and the gate (regulatory region) of the transistor QA for magnification of the 1st line will be in floating when above-mentioned driving pulse phiRG becomes high-level, gate voltage holds a condition [that bias is carried out to a reference voltage level VRF] with the parasitic capacitance of the gate.

[0118] Moreover, although MOS transistor QRB for a switch (p channel mold) will become off and the gate of MOS transistor QB for bias will be in floating in a period t12 since driving pulse phiR becomes high-level as mentioned above, the electrical potential difference of the gate of MOS transistor QB for bias is held by the capacitor CRB for bias are recording at the bias level (bias level from which the drain current of MOS transistor QB for bias serves as IB) set up in the period t11 at this time.

[0119] If it continues till a period t13, driving pulse phiRG will be again reversed by the low level. MOS transistor QP for reset in a pixel 1 serves as ON again, and the electrical potential difference of the gate (control electrode) of the transistor QA for magnification of the pixel 1 of the 1st line is again held by reversal of this driving pulse phiRG at voltage-level VRS (level of driving pulse phiRD1).

[0120] If it continues till the next period t14, driving pulse phiRD1 will serve as a voltage level VRD (= read-out level <VRF> shortly. Through MOS transistor QP for reset switches in the pixel 1 which already serves as ON, this voltage level VRD is supplied to the gate (regulatory region) of each transistor QA for magnification of the 1st line, and the electrical potential difference of the gate (regulatory region) of the transistor QA for magnification reads it, and it is held at level VRD.

[0121] If it continues till a period t15, driving pulse phiTG1 is reversed by the low level, driving pulse phiRD1 will be returned to voltage-level VRS (low level), and driving pulse phiRG will be reversed further high-level. When said driving pulse phiRG becomes high-level, MOS transistor QP for reset switches in a pixel 1 becomes off.

[0122] On the other hand, when driving pulse phiTG1 serves as a low level, MOS transistor QT for a transfer of each pixel 1 of the 1st line serves as ON, and generation and the accumulated signal charge are transmitted to the gate (regulatory region) of the transistor QA for magnification of the 1st line in the photodiode PD of each pixel 1 of the 1st line. The transistor QA for carrier beam magnification generates the electrical signal corresponding this signal charge to the signal charge concerned to that gate at that source, and outputs the electrical signal (voltage signal) concerned to the vertical read-out lines 22a and 22b at it.

[0123] And if it continues till a period t16, driving pulse phiTG1, driving pulse phiS, and driving pulse phiTO will be reversed high-level. When above-mentioned driving pulse phiTG1 becomes high-level, MOS transistor QT for a transfer of the 1st line (p channel mold) becomes off, and a transfer of the signal charge from a pixel 1 is completed.

[0124] At this time, that condition is held only for the part of the charge transmitted from Photodiode PD with the parasitic capacitance of the gate, with the electrical potential difference of the gate of the transistor QA for magnification rising (below-mentioned VS). Moreover, when the above-mentioned driving pulse phiS becomes high-level, MOS transistor QSB for a switch serves as ON and the above-mentioned driving pulse phiTO becomes high-level, MOS transistor QO1 for a switch and QO2 serve as ON.

[0125] By the way, by the time it continued till the period t16, as it described above, when the gate potential of the transistor QA for magnification is reference level VRF (period t11), the predetermined electrical potential difference is held at the gate of MOS transistor QB for bias so that the drain current of this transistor QA for magnification and the drain current of MOS transistor QB for bias may serve as IB (current value which flows to constant current sources 17a and 17b).

[0126] Therefore, in this period t16, if the gate potential of said transistor QA for magnification rises according to the signal charge from Photodiode PD and the gate potential of the transistor QA for magnification becomes high from VRF, the drain current of the transistor QA for magnification and the drain current of MOS transistor QB for bias will become larger than IB (current value which flows to constant current sources 17a and 17b) temporarily.

[0127] Moreover, if the potential of the gate of the transistor QA for magnification becomes lower than VRF, the drain current of the transistor QA for magnification and the drain current of MOS transistor QB for bias will become smaller than IB (current value which flows to constant current sources 17a and 17b) temporarily. When gate potential of this transistor QA for magnification after the charge according to incident light was transmitted to the gate (regulatory region) of the transistor QA for magnification here is set to VGS, this potential VGS is expressed with a degree type (5).

[0128]

$$VGS=VRD+VS \text{ -- (5)}$$

VS is a value expressed with (the charge/gate capacitance) according to incident light here. incidentally, the reference voltage level VRF supplied to the gate of the transistor QA for magnification through MOS transistor QP for reset switches in said period t11 carried out can be set as arbitration (however, carrying out reading appearance and becoming larger than an electrical potential difference VRD conditions).

[0129] Now, temporarily, if the drain current of the transistor QA for magnification is IB when it is compulsorily set as the value VGB (=VRF=VRD+VREF) of a request of this reference voltage level VRF, the value VGS of the gate voltage of the transistor QA for magnification will turn into a value shown in a degree type (6).

$$VGS-VGB = (VRD+VS)-(VRD+VREF)$$

$$= VS-VREF \text{ -- (6)}$$

Temporarily, when the drain current of the transistor QA for magnification and the drain current of MOS transistor QB for bias are set to ID and the above-mentioned electrical-potential-difference value VGS is larger than the electrical-potential-difference value VGB, the value (it expresses with ID) of a drain current becomes large from the current value IB which flows according to the above-mentioned constant current sources 17a and 17b (when VS is larger than VREF).

[0130] At this time, the current (ID-IB) of the difference of these currents ID and Current IB flows between the drain sources of MOS transistor QX for current detection through MOS transistor QSB for a switch used as ON by work of constant current sources 17a and 17b at this event. Here, since said MOS transistor QX for current detection and MOS transistor QY for a binary-sized output constitute current Miller circuit, a drain current is supplied to said MOS transistor QY for a binary-sized output.

[0131] At this time, the drain potential of MOS transistor QY for a binary-sized output falls (low level), and the output of Inverter AX serves as supply voltage level (high-level). Since a current value ID becomes smaller than IB reversely when a value VGS is smaller than a value VGB (when a value VS is smaller than a value VREF), a current does not flow between the source drains of said MOS transistor QX for current detection. Therefore, both the gate of said MOS transistor QX for current detection and the gate potential of MOS transistor QY for a binary-sized output fall, and become off [MOS transistor QY for a binary-sized output].

[0132] At this time, drain potential rises (high-level) and the output of Inverter AX serves as touch-down level (low level). Thus, in the solid state camera 20 for binary-sized signal formation of this operation gestalt, the electrical signal from a pixel 1 will be made binary in this binary-sized circuit 27 by making a reference voltage level VRF (reference voltage VREF) into threshold level.

[0133] In addition, what the value of the electrical potential difference VT between these gate sources varies for every transistor QA for magnification depending on the value of the electrical potential difference VT between the gate sources in the drain current ID of the transistor QA for magnification (factor of a fixed pattern noise) is known. In case it changes into a binary-sized signal by carrying out a deer, and carrying out bias of the gate of the transistor QA for magnification as mentioned above so that a current may serve as a fixed value (IB), the effect of the binary-sized signal concerned on the fixed pattern noise resulting from dispersion for every transistor QA for magnification of each pixel 1 can be removed.

[0134] The binary-sized signal outputted from the above-mentioned inverter AX is charged by the capacitors CO1 and CO2 for

binary-ized signal are recording through MOS transistor QO1 for a switch which serves as ON in the period t16 concerned, and QO2. And if it continues till a period t17, driving pulse phiS and driving pulse phiTO will be reversed by the low level. And when driving pulse phiTO serves as a low level, both MOS transistor QO1 for a switch and QO2 become off, the capacitors CO1 and CO2 for binary-ized signal are recording will be in floating, and a binary-ized signal is held at the capacitors CO1 and CO2 for binary-ized signal are recording. Furthermore, when the above-mentioned driving pulse phiS is set to a low level, said MOS transistor QSB for a switch serves as OFF.

[0135] Next, if it continues till a period t17, like the case of the 1st operation gestalt, the driving pulse phiH1 from the horizontal scanning circuit 13 will be started by fixed period high level, and will be held after that at a low level. moreover, predetermined spacing after said driving pulse phiH1 was held about the driving pulse phiH2 at a low level -- it is, fixed period high level rises, and it is held after that at a low level.

[0136] Furthermore, in between, before actuation phiH2 starts about driving pulse phiRSH after said driving pulse phiH1 falls to a low level, after fixed period high level rises, it is held after that at a low level and said driving pulse phiH2 falls to a low level after that, fixed period high level rises again and it is held after that at a low level.

[0137] A deer is carried out, reading appearance of the binary-ized signal currently held at the capacitor CO 1 for binary-ized signal are recording is carried out to the level read-out line 12 by high-level change-over of a driving pulse phiH1, and it is outputted one by one to an output terminal VO through the output-buffer amplifier 15. If MOS transistor QRSH for reset switches is turned on by high-level change-over of continuing driving pulse phiRSH, said level read-out line 12 will be reset by it (initialization). Since this has a possibility that a part of this electrical signal (voltage signal) may be held at the parasitic capacitance concerned when reading appearance of the electrical signal (voltage signal) is carried out to the level read-out line 12 by the parasitic capacitance of the level read-out line 12, it is actuation for resetting the electrical signal which remains on this level read-out line 12.

[0138] And reading appearance of the binary-ized signal currently held at the capacitor CO 2 for binary-ized signal are recording is carried out to the level read-out line 12 by high-level change-over of a driving pulse phiH2, and it is outputted one by one to an output terminal VO through the output-buffer amplifier 15. Finally, if driving pulse phiRSH cuts high-level and replaces, MOS transistor QRSH for reset switches will be turned on, and said level read-out line 12 will be reset again (initialization).

[0139] in addition, said voltage signal which was carried out and in which carries out reading appearance and reading appearance is carried out to the level read-out line 12 by the effect of the parasitic capacitance of a line, although time amount is taken until a wave becomes blunt and it reaches a steady state Also in this operation gestalt, since the voltage signal which appears in the level read-out line 12 is already changed into the binary-ized signal, even if it does not reach a steady state, the distinction of any shall be shown between high level and a low level of the binary-ized signal concerned is attained, and improvement in the speed of the read-out actuation is attained.

[0140] At the time of termination of a period t17 (until it continues till a period t20), driving pulse phiRG is reversed by the low level and MOS transistor QP for reset switches in a pixel 1 serves as ON. Read-out actuation of the pixel of the 1st line in the periods t10-t17 shown above is similarly performed in the continuing periods t20-t27 repeatedly to the pixel of the 2nd line.

[0141] (3rd operation gestalt) The solid state camera 30 for binary-ized signal formation of the 3rd operation gestalt of this invention is explained with reference to drawing 6 and drawing 7 below. The solid state camera 30 for binary-ized signal formation concerning this 3rd operation gestalt The ** binary-ized circuit 37 -- does not mind an output-signal charge storage means (capacitors CO1 and CO2 of the 1st operation gestalt), It differs from the solid state camera 10 for binary-ized signal formation of the 1st operation gestalt which connection, now the point which is described above on the level read-out line 12 only through MOS transistors QH11 and QH21 for a switch (n channel mold).

[0142] Therefore, in the solid state camera 30 for binary-ized signal formation, the same sign is attached about the same part as the solid state camera 10 for binary-ized signal formation of the 1st operation gestalt, and the explanation is omitted.

Actuation of generation of the binary-ized signal by this solid state camera 30 for binary-ized signal formation is explained using the timing chart of drawing 7 .

[0143] In addition, the actuation in this solid state camera 30 for binary-ized signal formation differs from the solid state camera 10 for binary-ized signal formation of the 1st operation gestalt which only the actuation in a period t17 and a period t27 described above. Therefore, actuation of periods t10-t16 (period t20-26) is the same as that of the case of an operation gestalt to the 1st, and the detailed explanation is omitted. Moreover, in drawing 7 , periods t10-t17 show read-out actuation of the pixel 1 of the 1st line, and periods t20-t27 show read-out actuation of the pixel 1 of the 2nd line.

[0144] Hereafter, the actuation in the period t17 of drawing 7 is explained. Like the case of the 1st operation gestalt, the electrical signal corresponding to (the time of termination of a period t16) and the incident light from a pixel 1 by the time it continued till the period t17 is compared with reference level VRF (reference voltage VREF) by work of the binary-ized circuit 37, and the binary-ization has already been performed (output of the electrical-potential-difference comparator AC).

[0145] And if it continues till a period t17, the driving pulse phiH1 from the horizontal scanning circuit 13 will be started by

fixed period high level, and will be held after that at a low level. moreover, predetermined spacing after said driving pulse phiH1 was held about the driving pulse phiH2 at a low level -- it is, fixed period high level rises, and it is held after that at a low level.

[0146] At this time, for every train, reading appearance of the binary-ized signal from the binary-ized circuit 37 is carried out to the level read-out line 12, and it is outputted to an output terminal VO one by one through the output-buffer amplifier 15 after that. In addition, although time amount is taken until a wave becomes blunt as for the voltage signal by which reading appearance is carried out to the level read-out line 12 and it reaches a steady state under the effect of the parasitic capacitance of a read-out line Also with this operation gestalt, since the voltage signal which appears in the level read-out line 12 is already changed into the binary-ized signal, even if it does not reach a steady state, the distinction of any shall be shown between high level and a low level of the binary-ized signal concerned is attained, and improvement in the speed of the read-out actuation is attained.

[0147] Moreover, since it becomes unnecessary to discharge the charge on the level read-out line 12, further improvement in the speed of read-out is attained.

(4th operation gestalt) The solid state camera 40 for binary-ized signal formation of the 4th operation gestalt is explained with reference to drawing 8 and drawing 9 below.

[0148] This solid state camera 40 for binary-ized signal formation differs from the solid state camera 20 for binary-ized signal formation of the 2nd operation gestalt which connection, now the point which is described above on the level read-out line 12 only through MOS transistors QH11 and QH21 for a switch (n channel mold), without binary-ized circuit 47 -- minding an output-signal charge storage means (capacitors CO1 and CO2 of the 2nd operation gestalt).

[0149] Therefore, in the solid state camera 40 for binary-ized signal formation, the same sign is attached about the same part as the solid state camera 20 for binary-ized signal formation of the 2nd operation gestalt, and the explanation is omitted.

Actuation of generation of the binary-ized signal by this solid state camera 40 for binary-ized signal formation is explained using the timing chart of drawing 9. In addition, the actuation in this solid state camera 40 for binary-ized signal formation differs from the 2nd operation gestalt which only the actuation in a period t17 and a period t27 described above. Therefore, actuation of periods t10-t16 (period t20-26) is the same as that of the case of an operation gestalt to the 1st, and the detailed explanation is omitted. Moreover, in drawing 9, periods t10-t17 show read-out actuation of the pixel 1 of the 1st line, and periods t20-t27 show read-out actuation of the pixel 1 of the 2nd line.

[0150] Hereafter, only explanation of the actuation in the period t17 of drawing 9 is given. Like the case of the 2nd operation gestalt, the electrical signal corresponding to (the time of termination of a period t16) and the incident light from a pixel 1 by the time it continued till the period t17 is compared with reference level VRF (reference voltage VREF) by work of the binary-ized circuit 47, and the binary-ization has already been performed (output of the electrical-potential-difference comparator AC).

[0151] And by the time it continues till a period t17, driving pulse phiS is (it is reversed high-level in a period 16, and the condition is held, MOS transistor QSB for a switch (n channel mold) serves as ON, and the ON state is held in the period t17 concerned.).

[0152] and predetermined spacing after the driving pulse phiH1 from the horizontal scanning circuit 13 was started by fixed period high level, being held after that at a low level and holding said driving pulse phiH1 for the driving pulse phiH2 succeedingly between periods t17 at a low level -- it is, fixed period high level rises, and it is held after that at a low level. At this time, for every train, reading appearance of the binary-ized signal from the binary-ized circuit 47 is carried out to the level read-out line 12, and it is outputted to an output terminal VO one by one through the output-buffer amplifier 15 after that.

[0153] In addition, although time amount is taken until a wave becomes blunt as for the electrical signal (voltage signal) by which reading appearance is carried out to the level read-out line 12 and it reaches a steady state under the effect of the parasitic capacitance of a read-out line Also with this operation gestalt, since the electrical signal (voltage signal) which appears in the level read-out line 12 is already changed into the binary-ized signal, even if it does not reach a steady state, the distinction of any shall be shown between high level and a low level of the binary-ized signal concerned is attained, and improvement in the speed of the read-out actuation is attained.

[0154] Moreover, since it becomes unnecessary to discharge the charge on the level read-out line 12, further improvement in the speed of read-out is attained. in addition, above-mentioned the 1- although the pixel 1 which controls the regulatory region (gate) of the transistor QA for magnification by capacity which was parasitic on the gate was mentioned as the example and the 4th operation gestalt explained it, a voltage signal is supplied to the regulatory region of the transistor QA for magnification by capacity coupling, and, of course, this invention can be similarly applied to the pixel which acquired the electrical signal according to incident light

[0155] moreover, above-mentioned the 1- although the case where a junction field effect transistor (JFET) was used as a transistor QA for magnification of a pixel was mentioned as the example and the 4th operation gestalt explained it, it may replace with this JFET and an MOS transistor, a bipolar transistor, etc. may be used. In this case, what is necessary is just to control output voltage and currents, such as a drain or a collector, the source, or an emitter, by the electrical potential

difference supplied to electrodes (regulatory region), such as the gate of an MOS transistor, and the base of a bipolar transistor. Moreover, these may be used together and a pixel may be constituted.

[0156] furthermore, above-mentioned the 1- although the 4th operation gestalt explained the case where the pixel 1 was arranged on the two-dimensional matrix, even when arranged on one dimension, the same operation effectiveness can be acquired.

[0157]

[Effect of the Invention] As explained in full detail above, according to the solid state camera for binary-ized signal formation according to claim 10, from claim 1 Since a binary-ized means is established for every train, the electrical signal outputted from each pixel according to incident light is compared with a predetermined reference signal, a binary-ized signal is acquired and it is transmitted to a level read-out line after that Since this signal is already made binary even if the noise resulting from the parasitic capacitance of the level read-out line concerned rides on the signal on this level read-out line, effect of the noise in signal processing can be made small. Moreover, since it can distinguish promptly any of high level/low level binary-ized signals are, improvement in the speed of signal processing is attained.

[0158] Moreover, since binary-ized processing is performed within the equipment from claim 1 with the solid state camera for binary-ized signal formation according to claim 10, it is lost that a dynamic range is restricted in a circumference circuit, and it is effective in the ability of the dynamic range of a solid state camera to use for binary-ized processing as it is. Moreover, since the binary-ized means is formed in the exterior of a pixel from claim 1 according to the solid state camera for binary-ized signal formation according to claim 10, a binary-ized signal can be outputted without enlarging structure of a pixel, and the numerical aperture or resolution which are a pixel are not reduced.

[0159] Furthermore, since the path from which the electrical signal according to incident light is acquired from the photodetection section, and the path from which a reference signal is acquired are the same according to the solid state camera for binary-ized signal formation according to claim 10 from claim 3, the effect of dispersion (dispersion on manufacture of a capacitor, the MOS transistor for a switch, etc.) for every train of the circumference circuit element which follows it not to mention a picture element part can be lost, and a S/N ratio can be made high. Moreover, since clearance of the fixed pattern noise resulting from the dark current currently performed conventionally is performed according to the generate time of the above-mentioned reference signal, the differential amplifier which was required for clearance of the fixed pattern noise concerned becomes unnecessary conventionally.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the ** type circuit diagram showing the outline configuration of the solid state camera 10 for binary-ized signal formation of the 1st operation gestalt of this invention.

[Drawing 2] It is a timing chart explaining actuation of the solid state camera 10 for binary-ized signal formation.

[Drawing 3] It is drawing showing the device structure of the pixel 1 of the solid state camera 10 for binary-ized signal formation.

[Drawing 4] It is the ** type circuit diagram showing the outline configuration of the solid state camera 20 for binary-ized signal formation of the 2nd operation gestalt.

[Drawing 5] It is a timing chart explaining actuation of the solid state camera 20 for binary-ized signal formation.

[Drawing 6] It is the ** type circuit diagram showing the outline configuration of the solid state camera 30 for binary-ized signal formation of the 3rd operation gestalt.

[Drawing 7] It is a timing chart explaining actuation of the solid state camera 30 for binary-ized signal formation.

[Drawing 8] It is the ** type circuit diagram showing the outline configuration of the solid state camera 40 for binary-ized signal formation of the 4th operation gestalt.

[Drawing 9] It is a timing chart explaining actuation of the solid state camera 40 for binary-ized signal formation.

[Drawing 10] It is the ** type circuit diagram showing the outline configuration of the conventional solid state camera 100 for binary-ized signal formation.

[Drawing 11] It is a timing chart explaining actuation of the conventional solid state camera 100 for binary-ized signal formation.

[Drawing 12] It is the block diagram of the conventional image processing system 120 which formed the binary-ized means in the exterior of a solid state camera.

[Description of Notations]

1 Pixel

2a, 2b Vertical read-out line

6 Vertical-Scanning Circuit (Vertical-Scanning Means)
7, 27, 37, 47 Binary-ized circuit (binary-ized means)
12 Level Read-out Line
13 Horizontal Scanning Circuit (Horizontal Scanning Means)
15 Output-Buffer Amplifier
17a, 17b Constant current source (current source)
PD Photodiode (the photodetection section, optoelectric transducer)
QA Transistor for magnification (magnification means)
QT MOS transistor for a transfer (the 1st switching means)
QP MOS transistor for reset (the 2nd switching means)
QS, QR MOS transistor for a switch (transfer means for switching)
CS Capacitor for output-signal are recording (the 1st storage means; charge storage means)
CR Capacitor for reference signal are recording (the 2nd storage means; charge storage means)
AC Electrical-potential-difference comparator (comparison means)
QRSV1, QRSV2 MOS transistor for reset switches
QRSH MOS transistor for reset switches
QB MOS transistor for bias (bias means; transistor for constant current)
QRB MOS transistor for a switch (bias storage means; sample hold means)
QSB MOS transistor for a switch (means for switching)
CRB Capacitor for bias are recording (bias storage means; bias charge storage means)
QX MOS transistor for current detection (current detection means)
QY MOS transistor for a binary-ized output
CS Current source for loads
AX Inverter
QO1, QO2 MOS transistor for a switch (1st switching means)
QH1, QH2 MOS transistor for a level read-out switch (2nd switching means)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-233964

(43)公開日 平成10年(1998)9月2日

(51) Int.Cl.⁶
H 0 4 N 5/335
H 0 1 L 29/762
21/339

識別記号

F I
H 0 4 N 5/335
H 0 1 L 29/76

E
301 J

審査請求 未請求 請求項の数10 Q1 (全 20 頁)

(21)出願番号 特願平9-36483

(71) 出願人 000004112

(22)出願日 平成9年(1997)2月20日

株式会社ニコン
東京都千代田区

(72)発明者 野村 仁
東京都千代田区丸の内3丁目2番3号 株
式会社ニコン内

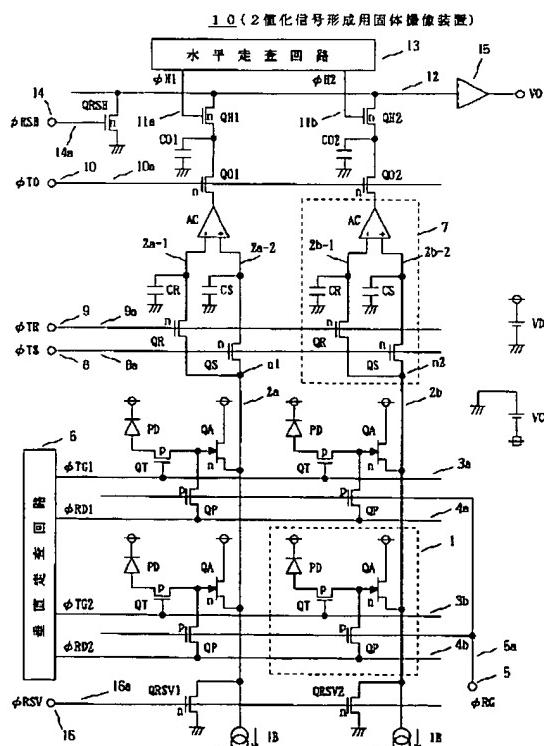
(74) 代理人 弁理士 吉谷 史旺 (外1名)

(54) 【発明の名称】 2 値化信号形成用固体撮像装置

(57) 【要約】

【課題】 2値化処理を高速、且つ低S/N比で行う2値化信号形成用固体撮像装置を提供する。

【解決手段】 2 値化信号形成用固体撮像装置 10 は、画素 1 …と、画素 1 …の列毎に設けられた垂直読み出し線 12 a, 12 b と、マトリックス状に配置された画素 1 …の特定の行を選択して入射光に応じた電気信号を所望のタイミングで垂直読み出し線 12 a, 12 b に転送する垂直走査回路 13 と、垂直読み出し線 12 a, 12 b の各々に配置された 2 値化回路 7 と、垂直読み出し線 12 a, 12 b を順次水平走査して信号を水平読み出し線 13 に転送する水平走査回路 15 とを備える。2 値化回路 7 は、画素 1, …から出力された電気信号と画素 1 内の增幅用トランジスタ QA を介した基準信号とを比較して 2 値化信号を出力する。



【特許請求の範囲】

【請求項 1】 マトリックス状に配列され、光検出部にて生成された信号電荷を増幅手段を介して出力する複数の画素と、
前記複数の画素の列毎に設けられた複数の垂直読み出し線と、
前記複数の画素の特定の行を選択して、当該画素の光検出部からの信号電荷に応じた電気信号を所望のタイミングで、当該垂直読み出し線に転送する垂直走査手段と、前記垂直読み出し線の各々に設けられ、前記所望のタイミングで前記画素から出力される前記信号電荷に応じた電気信号と、前記所望のタイミングと異なるタイミングで前記増幅手段を介して出力される基準信号とを比較して2値化信号を出力する2値化手段と、
前記複数の垂直読み出し線を、順次水平走査して、前記2値化信号を水平読み出し線に転送する水平走査手段とを備えていることを特徴とする2値化信号形成用固体撮像装置。

【請求項 2】 前記光検出部は、入射光に応じた信号電荷を生成する光電変換素子からなり、
前記増幅手段には、
該増幅手段の制御領域に前記光電変換素子からの信号電荷を選択的に供給するための第1のスイッチ手段と、該増幅手段の制御領域に前記画素の外部から所望の電位を選択的に供給するための第2のスイッチ手段とが接続されていることを特徴とする請求項1に記載の2値化信号形成用固体撮像装置。

【請求項 3】 前記2値化手段は、
前記光電変換素子にて生成された前記信号電荷に応じた電気信号を記憶する第1の記憶手段と、
前記画素の外部からの前記所望の電位に応じた基準信号を記憶する第2の記憶手段と、
前記第1の記憶手段に記憶された前記電気信号と前記第2の記憶手段に記憶された前記基準信号とを比較して2値化信号を出力する比較手段とによって構成されていることを特徴とする請求項2に記載の2値化信号形成用固体撮像装置。

【請求項 4】 前記第1の記憶手段は、前記画素から出力される前記電気信号に応じた電荷を蓄積する電荷蓄積手段であり、

前記第2の記憶手段は、前記画素から出力される前記基準信号に応じた電荷を蓄積する電荷蓄積手段であることを特徴とする請求項3に記載の2値化信号形成用固体撮像装置。

【請求項 5】 前記画素と前記2つの電荷蓄積手段との間には、前記画素から出力される前記電気信号もしくは前記基準信号を選択的に転送するための転送切換手段が設けられていることを特徴とする請求項4に記載の2値化信号形成用固体撮像装置。

ジスタであり、

該接合型電界効果トランジスタのゲートに、前記光電変換素子にて生成された前記信号電荷と、前記画素の外部からの前記所望の電位とが選択的に供給されることを特徴とする請求項4に記載の2値化信号形成用固体撮像装置。

【請求項 7】 前記2値化手段は、
電流源と、

前記画素の外部から供給された前記所望の電位に応じた前記基準信号が、前記電流源の電流と等しくなるように、前記垂直読み出し線の電位をバイアスするバイアス手段と、

該バイアス手段のバイアス状態を記憶するバイアス記憶手段と、

前記光電変換素子にて生成された前記信号電荷に応じた前記電気信号と、前記電流源の電流との差を検出する電流検出手段と、

前記光電変換素子にて生成された前記信号電荷に応じた前記電気信号と、前記電流源の電流との差の電流を前記電流検出手段に入力するための切換手段とによって構成されていることを特徴とする請求項2に記載の2値化信号形成用固体撮像装置。

【請求項 8】 前記バイアス手段は、

前記垂直読み出し線と前記電流源との間に主電流経路が接続された定電流用トランジスタで構成され、

前記バイアス記憶手段は、

前記定電流用トランジスタの制御電極と、該定電流用トランジスタの主電流経路の端子のうち前記電流源に接続された側の端子との間に設けられ、前記定電流用トランジスタのバイアス状態をサンプリングし、その後ホールドするためのサンプル・ホールド切替手段と、

前記定電流用トランジスタの前記制御電極に接続され、前記定電流用トランジスタのバイアスをホールドするバイアス電荷蓄積手段とによって構成されていることを特徴とする請求項6に記載の2値化信号形成用固体撮像装置。

【請求項 9】 前記比較手段には、該比較手段からの前記2値化信号を記憶する出力信号記憶手段が接続されていることを特徴とする請求項1から請求項8の何れかに記載の2値化信号形成用固体撮像装置。

【請求項 10】 前記光電変換素子は、埋め込みフォトダイオードであることを特徴とする請求項1から請求項9の何れかに記載の2値化信号形成用固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、光検出部にて得られた画像データを2値化して2値画像を得るようにした2値化信号形成用固体撮像装置に関する。

【0002】

「独立の技術」独立上り マトリックス方式による電子写真

画素にて得られた画像データ（アナログ信号）を基準値と比較し、もって2値画像を得るようにした固体撮像装置（2値化信号形成用固体撮像装置）及び画像処理装置が公知である。図10は、従来の2値化信号形成用固体撮像装置100の一例を示す回路図である。

【0003】この図に示す従来の2値化信号形成用固体撮像装置100はXYアドレス方式を採用するもので、画素101, 101…がマトリックス状に配列され（図示例では、 2×2 個）、この画素101, 101…の各々に、フォトダイオードPD, PD…、增幅用トランジスタQA, QA…、前記フォトダイオードPDと増幅用トランジスタQAとを接続／分離するためのスイッチ用MOSトランジスタQT, QT…、前記増幅用トランジスタQAのゲートに電圧を供給し又はゲートに蓄積された電荷を排出するためのリセット用MOSトランジスタQP, QP…が設けられている。

【0004】そして、各画素101, 101…は、各列毎に共通の垂直読み出し線102a, 102bに接続されて、当該画素101, 101…からの入射光に応じた電気信号が垂直読み出し線102a, 102bに出力されるようになっている。又、この2値化信号形成用固体撮像装置100では、暗電流等に起因する固定パターン雑音を除去するための記憶回路107, 107が、各垂直読み出し線102a, 102bに設けられている。

【0005】具体的には、記憶回路107は、図に示すように、スイッチ用MOSトランジスタQD, QS及びコンデンサCD, CSにて構成され、コンデンサCDに暗電流に相当する電荷が蓄積され、コンデンサCSに入射光に応じた画素101からの電気信号に相当する電荷が蓄積されるようになっている。そして、各々記憶された電荷は、水平読み出し線112-1, 112-2に一定のタイミングで出力され、該水平読み出し線112-1, 112-2上に配置された差動アンプ115にて、入射光に応じた電気信号から暗電流や各画素101, 101…の増幅用トランジスタQA毎のばらつきに起因する雑音（固定パターン雑音）が除去され、入射光に応じた電気信号（アナログ信号）のみが増幅されて得られるようになっている。

【0006】そして、増幅された信号（アナログ信号）は、比較器119で所定の基準値VEREFと比較されて、出力端子VOから2値化信号が出力されるようになっている。

【0007】図11は、上記2値化信号形成用固体撮像装置100の動作の一例を示すタイミングチャートであり、期間t10～t14は、第1行目の画素1の読み出し動作を、期間t20～t24は、第2行目の画素1の読み出し動作を示している。ここで、駆動パルスφTG1, φTG2はスイッチ用MOSトランジスタQT, QTのゲートに、駆動パルスφRD1, φRD2はリセット用MOSトランジスタQP, QPのドライバーに駆動

パルスφRGはリセット用MOSトランジスタQP, QPのゲートに、駆動パルスφRSVはリセット用MOSトランジスタQRSV1, QR SV2のゲートに、駆動パルスφTD, φTSは各々スイッチ用MOSトランジスタQD, QSのゲートに各々供給される駆動パルスである。又、駆動パルスφH1, φH2は、スイッチ用MOSトランジスタQH1, QH2のゲートに供給される駆動パルス、駆動パルスφRSHはリセットスイッチ用MOSトランジスタQRSH1, QR SH2のゲートに供給される駆動パルスである。

【0008】動作タイミングが、図11の期間t10に至ると、駆動パルスφRGがローレベルになりリセット用MOSトランジスタ（pチャネル型）QPはオンとなる。そして、駆動パルスφRD1が読み出しレベル（VRD; ハイレベル）となってその電圧VRDが、リセット用トランジスタQPを介して第1行目の増幅用トランジスタQAのゲート（制御領域）に供給され、ゲートが読み出しレベルVRDにバイアスされる（選択）。尚、第2行目の増幅用トランジスタQAは、駆動パルスφRD2がローレベル（電圧レベルVRS）のままであるため、ゲートが電圧レベルVRS（ローレベル）のままでオフ（非選択）に保持される。

【0009】一方で、駆動パルスφRSVがハイレベルになってリセットスイッチ用MOSトランジスタ（nチャネル型）QR SV1, QR SV2がオンとなり、垂直読み出し線102a, 102aに残る電荷が排出される（リセット）。このとき、駆動パルスφTD, φTSもハイレベルでスイッチ用MOSトランジスタ（nチャネル型）QD, QSがオンとなり、コンデンサCD, CSに残っていた電荷も放出される（リセット）。

【0010】尚、この期間t10においては、駆動パルスφTG1, φTG2が共にハイレベルに保持されているため転送用MOSトランジスタ（pチャネル型）QTはオフであり、各フォトダイオードPDでは、入射光に応じた電荷（信号電荷）が生成・蓄積されている。次の期間t11に至ると、駆動パルスφRGがハイレベルとなってリセット用MOSトランジスタ（pチャネル型）QPがオフとなり、第1行目の増幅用トランジスタQAのゲート（制御領域）はフローティング状態となるが、該増幅用トランジスタQAのゲートに寄生する容量によって、該ゲートの電圧が前記読み出しレベルVRDにバイアスされたまま、その状態が保持される。

【0011】又、駆動パルスφRD1が電圧レベルVRS（ローレベル）に戻され、駆動パルスφRSVがローレベルに反転されて垂直読み出し線102a, 102bのリセットが解除される。そして、駆動パルスφTSがローレベルとなってスイッチ用MOSトランジスタ（nチャネル型）QSがオフとなり、垂直読み出し線102a, 102bには2種のコンデンサCD, CSのうちコンデンサCDのみが接続される。

【0012】この結果、この期間 t_{11} では、期間 t_{10} で選択（オン）された第1行目の増幅用トランジスタQAがソースホロア動作をし、読み出しレベルVRDにバイアスされている状態で暗電流に応じた電圧（VDと表記する）がコンデンサCDに充電されることになる。なお、上記暗電流に応じた電圧（VD）には、暗電流や各画素101, 101…の増幅用トランジスタQA毎のばらつきに起因する雑音（固定パターン雑音）が含まれる。

【0013】次に、期間 t_{12} に至ると、駆動パルス φ_{TD} がローレベルとなってスイッチ用MOSトランジスタ（nチャネル型）QDがオフとなり、これに代わって、駆動パルス φ_{TS} がハイレベルとなってスイッチ用MOSトランジスタ（nチャネル型）QSがオンとなりコンデンサCSが充電可能になる。このときコンデンサCDには上記した暗電流に応じた電圧が充電されたままとなる。

【0014】そして、駆動パルス φ_{TG1} がローレベルに反転されて第1行目の画素1の転送用MOSトランジスタQTがオンし、第1行目のフォトダイオードPDからの信号電荷が、第1行目の画素1の増幅用トランジスタQAのゲート（制御領域）に転送される。そして、期間 t_{12} の終了時、即ち期間 t_{13} の開始時、駆動パルス φ_{TG1} がハイレベルに反転され、第1行目の転送用MOSトランジスタQTが再びオフとなって第1行目の増幅用トランジスタQAのゲートは再びフローティング状態となるが、増幅用トランジスタQAのゲートに寄生する容量によって、該ゲートの電圧は、フォトダイオードPDから転送された信号電荷の分だけ上昇したまま保持される。

【0015】しかして、第1行目の増幅用トランジスタQAのソースホロア動作によって、入射光に応じた電気信号が垂直読み出し線102a, 102bに出力され、この電気信号に応じた電圧（VSSと表記する）がコンデンサCSに充電される。この場合、電圧VSSは、入射光のみに応じた電圧（VSと表記する）と暗電流に応じた電圧VDとの和となる（ $VSS = VS + VD$ ）。

【0016】次に、期間 t_{13} の終了時、即ち期間 t_{14} の開始時までに、先ず、駆動パルス φ_{TS} がローレベルになって垂直読み出し線102a, 102bとコンデンサCSとの接続が断たれ、この状態で駆動パルス φ_{RSV} がハイレベルになって再び垂直読み出し線102a, 102bに残った電荷が排出される（リセット）。そして、期間 t_{14} の間に、水平走査回路13からの駆動パルス φ_{H1} が一定期間ハイレベルに立ち上げられて垂直読み出し線102a側のコンデンサCD, CRからの信号（アナログ信号）が、その切換タイミングで水平読み出し線112-1, 112-2に各自読み出され、差動アンプ115でその差分が増幅され、更に比較器119で所定の基準電圧VREFと比較され、2値化処理

が行われる。尚、上記差動アンプ115から出力される信号は、画素101からの固定パターン雑音を含む電気信号（ $VSS = VS + VD$ ）から暗電流に応じた信号（VD）を差し引いた値（入射光に応じた信号VS）を増幅した値となる。

【0017】その後、駆動パルス φ_{H2} が一定期間ハイレベルに立ち上げられたときは垂直読み出し線102b側で同じ動作が行われて、2値化信号が得られる。尚、期間 t_{14} における駆動パルス φ_{RSV} の2回のハイレベルの切換によって、リセットスイッチ用MOSトランジスタQRSがオンされると、前記水平読み出し線112a, 112bが各々リセット（初期化）される。

【0018】以上に示した期間 $t_{10} \sim t_{14}$ における第1行目の画素の読み出し動作は、続く期間 $t_{20} \sim t_{24}$ において、第2行目の画素に対して同様に繰り返して行われる。図12は、画像データの2値化を他の手法を用いて行う画像処理装置120の構成を示すブロック図である。

【0019】この画像処理装置120は、固体撮像装置121と、該固体撮像装置121によって得られた画像データをあらわす信号（アナログ信号）をデジタル信号に変換するAD変換回路122と、該AD変換回路122からのデジタル信号を保存する画像メモリ123と、該画像メモリ123に保存されているデジタル画像データを2値化する画像処理回路124とで構成されている。

【0020】即ち、この画像処理装置120では、固体撮像装置121で得られたアナログ信号が、固体撮像装置121の外部に設けられたAD変換回路122でデジタル信号に変換された後、画像メモリ123に一時的に保存され、画像処理回路124で、所定の基準値と比較されてその2値化が行われるようになっている。

【0021】

【発明が解決しようとする課題】しかしながら、前述の図10に示した従来の2値化信号形成用固体撮像装置100では、画素101にて生成・蓄積された電荷に応じた電気信号（アナログ信号）と、垂直走査回路106から増幅用トランジスタQA（増幅手段）を介して出力された基準信号（アナログ信号）を比較器115まで伝えなければならず、アナログ信号が伝わる経路が長くなり、その分、これらアナログ信号に雑音が乗り易くなる（S/N比の低下）。

【0022】特に、画素部のみならず、これに続く周辺回路要素の列毎のばらつき（コンデンサやスイッチ用のMOSトランジスタ等の製造上のばらつき）に起因する雑音の影響が大きくなる。又、前述の図12に示した従来の画像処理装置120では、固体撮像装置121から映像信号をアナログ信号として出力した後、デジタル信号に変換し、その後2値化処理を行っているため、固体撮像装置121以外の周辺回路が複雑で、画像品質が

置120全体が高価になるという不具合がある。

【0023】更に、画像処理装置120によって得られる映像信号の有効範囲、即ちダイナミックレンジはA/D変換回路122の入力で制限されるが、一般にA/D変換回路122の入力ダイナミックレンジは、固体撮像装置121のダイナミックレンジより狭いため、2値化処理の過程で固体撮像装置121の広いダイナミックレンジを有効に利用できないという不具合もあった。

【0024】上記2値化処理を、例えば、固体撮像装置の各画素毎に画像処理回路を別途設けて各画素毎に2値化機能をもたせて行うことも考えられているが、この場合は画素自体の構造が複雑になり、固体撮像装置の開口率の低下や、解像度の低下を引き起こすことになる。

又、このように画素毎に画像処理回路を別途設ける場合、画素を高密度に配置して多画素化を図るという要請にこたえられなくなるという不具合もある。

【0025】本発明は、上記問題点に鑑みてなされたものであり、画像データの2値化処理を行うに当って、S/N比を大きくすることができる2値化信号形成用固体撮像装置を提供することを目的とする。

【0026】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明は、マトリックス状に配列され、光検出部にて生成された信号電荷を増幅手段を介して出力する複数の画素と、前記複数の画素の列毎に設けられた複数の垂直読み出し線と、前記複数の画素の特定の行を選択して、当該画素の光検出部からの信号電荷に応じた電気信号を所望のタイミングで、当該垂直読み出し線に転送する垂直走査手段と、前記垂直読み出し線の各々に設けられ、前記所望のタイミングで前記画素から出力される前記信号電荷に応じた電気信号と、前記所望のタイミングと異なるタイミングで前記増幅手段を介して出力される基準信号とを比較して2値化信号を出力する2値化手段と、前記複数の垂直読み出し線を、順次水平走査して、前記2値化信号を水平読み出し線に転送する水平走査手段とを備えたものである。

【0027】又、請求項2に記載の発明は、前記光検出部が、入射光に応じた信号電荷を生成する光電変換素子からなり、前記増幅手段に、該増幅手段の制御領域に前記光電変換素子からの信号電荷を選択的に供給するための第1のスイッチ手段と、該増幅手段の制御領域に前記画素の外部から所望の電位を選択的に供給するための第2のスイッチ手段とを接続したものである。

【0028】又、請求項3に記載の発明は、前記2値化手段を、前記光電変換素子にて生成された前記信号電荷に応じた電気信号を記憶する第1の記憶手段と、前記画素の外部からの前記所望の電位に応じた基準信号を記憶する第2の記憶手段と、前記第1の記憶手段に記憶された前記電気信号と前記第2の記憶手段に記憶された前記基準信号とを比較して2値化信号を出力する手段と

によって構成したものである。

【0029】又、請求項4に記載の発明は、前記第1の記憶手段を、前記画素から出力される前記電気信号に応じた電荷を蓄積する電荷蓄積手段とし、前記第2の記憶手段を、前記画素から出力される前記基準信号に応じた電荷を蓄積する電荷蓄積手段としたものである。

【0030】又、請求項5に記載の発明は、前記画素と前記2つの電荷蓄積手段との間に、前記画素から出力される前記電気信号もしくは前記基準信号を選択的に転送するための転送切換手段を設けたものである。又、請求項6に記載の発明は、前記増幅手段を、接合型電界効果トランジスタとし、該接合型電界効果トランジスタのゲートに、前記光電変換素子にて生成された前記信号電荷と、前記画素の外部からの前記所望の電位とを選択的に供給するようにしたものである。

【0031】又、請求項7に記載の発明は、前記2値化手段を、電流源と、前記画素の外部から供給された前記所望の電位に応じた前記基準信号が前記電流源の電流と等しくなるように前記垂直読み出し線の電位をバイアスするバイアス手段と、該バイアス手段のバイアス状態を記憶するバイアス記憶手段と、前記光電変換素子にて生成された前記信号電荷に応じた前記電気信号と前記電流源の電流との差を検出する電流検出手段と、前記光電変換素子にて生成された前記信号電荷に応じた前記電気信号と前記電流源の電流との差の電流を前記電流検出手段に入力するための切換手段とによって構成したものである。

【0032】又、請求項8に記載の発明は、前記バイアス手段を、前記垂直読み出し線と前記電流源との間に主電流経路が接続された定電流用トランジスタで構成し、前記バイアス記憶手段を、前記定電流用トランジスタの制御電極と、該定電流用トランジスタの主電流経路の端子のうち前記電流源に接続された側の端子との間に設けられ、前記定電流用トランジスタのバイアス状態をサンプリングし、その後ホールドするためのサンプル・ホールド切替手段と、前記定電流用トランジスタの前記制御電極に接続され、前記定電流用トランジスタのバイアスをホールドするバイアス電荷蓄積手段とによって構成したものである。

【0033】又、請求項9に記載の発明は、前記比較手段に、該比較手段からの前記2値化信号を記憶する出力信号記憶手段を接続したものである。又、請求項10に記載の発明は、前記光電変換素子を、埋め込みフォトダイオードとしたものである。

【0034】(作用) 請求項1に記載の発明によれば、複数の垂直読み出し線毎に設けられた2値化手段にて、画像データの2値化信号が生成され、該生成された2値化信号が、垂直読み出し線から水平読み出し線、更には、出力端子まで伝わることとなるので、該水平読み出し線を行わるとときにこの電気信号(2値化信号)に伴音

が乗っても、アナログ信号の場合に比べて、その影響が小さくなる。

【0035】又、請求項2に記載の発明によれば、2値化を行う際に用いられる基準信号が、当該画素の増幅手段を介して出力されるので、入射光に応じた電気信号と基準信号と同じ経路で出力させることができる。又、請求項3に記載の発明によれば、当該画素を介して、順次、出力される入射光に応じた電気信号と基準信号とを一旦記憶させ、該記憶させた値を互いに比較するだけで2値化信号を得ることができる。

【0036】又、請求項4に記載の発明によれば、当該画素を介して、順次、出力される基準信号をコンデンサ等に適宜記憶させることができる。又、請求項5に記載の発明によれば、前記増幅手段から出力される基準信号及び入射光に応じた電気信号を、転送切替手段によって2つの電荷蓄積手段に選択的に供給することができる。

【0037】又、請求項6に記載の発明によれば、入射光に応じた電荷をゲートに直接転送することができるので、当該電荷の転送路が短縮され、雑音が乗り難くなる。又、請求項7に記載の発明によれば、画素の固定パターン雑音を反映させた基準信号を簡易に記憶し、該記憶した基準信号と入射光に応じた電気信号とを簡易な方法で比較して、2値化信号を得ることができる。

【0038】又、請求項8に記載の発明によれば、基準信号と電気信号とを比較して2値化信号を生成する回路を簡易な構成で達成することができる。又、請求項9に記載の発明によれば、2値化された検出信号が、当該出力信号記憶手段に蓄えられているので、所望のタイミングで、当該検出信号を出力端子から適宜読み出すことができる。

【0039】又、請求項10に記載の発明によれば、各画素の光電変換素子において、当該フォトダイオードのpn接合部に生じる空乏層が、画素の表面に達しないため、暗電流が抑制される。

【0040】

【発明の実施の形態】

(第1の実施形態)以下、本発明の第1の実施形態を図1から図3を参照して詳細に説明する。

【0041】図1は、第1の実施形態に係る2値化信号形成用固体撮像装置10の概略構成を示す回路図である。尚、この第1の実施形態では、説明を簡単にするために、4つの画素1, 1, 1, 1がマトリックス状(2×2個)で配置された例を用いて説明する。画素1(図1中破線で示す)は、入射光に応じた電荷を生成・蓄積するフォトダイオード(光検出部；光電変換素子)PDと、制御領域(制御電極；ゲート)に供給された信号電荷に応じて入射光に応じた電気信号(アナログ信号)をそのソースに出力する増幅用トランジスタ(増幅手段；本実施形態においてはnチャネル型の接合型電界効果トランジスタ(FET)の△側)前記フォトダイオードPD

Dで生成・蓄積された電荷と垂直走査回路6から供給される電位(電圧レベルVRS, VRF, VRD)とを選択的に前記ゲート(制御領域)に供給するための転送用MOSトランジスタ(pチャネル型)QT(第1のスイッチ手段)と、前記ゲート(制御領域)に蓄積された信号電荷をリセットするためのリセット用MOSトランジスタ(pチャネル型)QP(第2のスイッチ手段)によって構成されている。

【0042】尚、本実施形態では、フォトダイオードPDとして、縦型オーバーフロー構造の埋め込みフォトダイオードを用いている。又、前記リセット用MOSトランジスタQPは、クロックライン4a, 4bから送られてくる基準信号に応じた電位(電圧レベルVRS, VRF, VRD)を前記ゲート(制御領域)に供給する働きをも有する。

【0043】又、前記フォトダイオードPDのカソードには電源電圧VDが接続されて、該フォトダイオードPDから入射光に応じた信号電荷が出力される。又、前記増幅用トランジスタQAのドレインには電源電圧VDが接続されて、ソースホロア動作によってそのゲート(制御領域)に蓄積された電荷に応じた電気信号(アナログ信号)がソースから出力されるようになっている。

【0044】又、各画素1の増幅用トランジスタQAのソースは、マトリックス配置の各列毎に垂直読み出し線2a, 2bに、各々共通接続されている。一方、転送用MOSトランジスタQTのゲートは、垂直走査回路6に接続されたクロックライン3a, 3bに共通接続され、垂直走査回路6からローレベルの駆動パルスφTG1またはφTG2が与えられると、当該転送用MOSトランジスタQTが各行毎に順次オンするようになっている。尚、垂直走査回路6、クロックライン3a, 3b, 4a, 4b…等によって垂直走査手段が構成されている。

【0045】又、リセット用MOSトランジスタQPのドレインは、各行毎に垂直走査回路6に接続されたクロックライン4a, 4bに共通接続され、そのゲートは、行ライン5aを介して駆動パルス発生回路(図示省略)側のノード5に接続されている。又、リセット用MOSトランジスタQPのソースは、転送用MOSトランジスタQTのドレインと共有になっている。そして、リセット用MOSトランジスタQPのゲートに前記駆動パルス発生回路からローレベルのパルスφRGが与えられると、該リセット用MOSトランジスタQPがオンするようになっている。

【0046】又、前記した垂直読み出し線2a, 2bの途中には、各列毎に2値化回路(2値化手段)7が配置されている(図中破線で示す)。この2値化回路7の出力側の垂直読み出し線2a, 2bには、スイッチ用MOSトランジスタ(nチャネル型)QO1, QO2を介して、2値化信号蓄積用コンデンサCO1, CO2の一方の端子が接続されている。

【0047】更に、2値化信号蓄積用コンデンサC01, C02の前記一方の端子には、水平読み出しスイッチ用MOSトランジスタ（nチャネル型）QH1, QH2を介して水平読み出しライン12が接続され、その後段に、出力バッファアンプ15が接続されている。尚、2値化信号蓄積用コンデンサC01, C02の他方の端子は接地されている。

【0048】この場合、前記スイッチ用MOSトランジスタQO1, QO2のゲートは、クロックライン10aを介して駆動パルス発生回路（図示省略）側のノード10に接続されており、駆動パルス発生回路からハイレベルの駆動パルスφTOが、前記スイッチ用MOSトランジスタQO1, QO2のゲートに与えられたときに、スイッチ用MOSトランジスタQO1, QO2がオンする。

【0049】又、前記水平読み出しスイッチ用MOSトランジスタQH1, QH2の各ゲートは、水平選択信号ライン11a, 11bに各々接続されており、前記水平走査回路13に接続された水平走査回路13からハイレベルの駆動パルスφH1, φH2が前記水平読み出しスイッチ用MOSトランジスタQH1, QH2の各ゲートに与えられたときこれらがオンして、水平読み出しの制御（水平走査）が行われるようになっている。尚、水平選択信号ライン11a, 11b、水平走査回路13等によって水平走査手段が構成されている。

【0050】又、前記水平読み出し線12には、リセットスイッチ用MOSトランジスタ（nチャネル型）QRSHのドレインが接続されている。このリセットスイッチ用MOSトランジスタQRSHは、そのソースが接地されている。そして、このリセットスイッチ用MOSトランジスタQRSHのゲートには、クロックライン14aが接続され、該クロックライン14aは駆動パルス発生回路（図示省略）側のノード14に接続されている。そして駆動パルス発生回路からハイレベルの駆動パルスφRSRSHが該リセットスイッチ用MOSトランジスタQRSHのゲートに与えられたときに、該リセットスイッチ用MOSトランジスタQRSHはオンするようになっている。

【0051】又、前記垂直読み出し線2a, 2bは、各列毎にリセットスイッチ用MOSトランジスタ（nチャネル型）QRCSV1, QRCSV2のドレインと、各定電流源17a, 17bとに接続されている。このときリセットスイッチ用MOSトランジスタQRCSV1, QRCSV2のソースは接地され、各定電流源17a, 17bには電源電圧VC（負）が接続されている。

【0052】そして、前記リセットスイッチ用MOSトランジスタQRCSV1, QRCSV2のゲートは、クロックライン16aを介して駆動パルス発生回路（図示省略）側のノード16に接続され、該駆動パルス発生回路から送出される駆動パルスφRSVが、前記リセットス

イッチ用MOSトランジスタQRCSV1, QRCSV2のゲートに与えられたときに、該リセットスイッチ用MOSトランジスタQRCSV1, QRCSV2がオンするようになっている。

【0053】ところで、前記した2値化回路7（図1中破線で示す）は、各々ノードn1, n2で2本の読み出し線2a-1, 2a-2, 2b-1, 2b-2に分岐された垂直読み出し線2a, 2bに配置されている。即ち、読み出し線2a-1, 2b-1にスイッチ用MOSトランジスタ（nチャネル型）QR（転送切換手段）と基準信号蓄積用コンデンサCR（第2の記憶手段）とが接続されている。又、読み出し線2a-2, 2b-2にスイッチ用MOSトランジスタ（nチャネル型）QS（転送切換手段）と出力信号蓄積用コンデンサCS（第1の記憶手段）とが接続されている。

【0054】そして、上記分岐された2本の読み出し線2a-1, 2a-2、読み出し線2b-1, 2b-2は共に電圧比較器AC（比較手段）に接続されている。しかし、この電圧比較器ACから2値化された信号（2値化信号）が出力される。一方、スイッチ用MOSトランジスタQS, QRのゲートは、クロックライン8a, 9aを介してそれぞれ駆動パルス発生回路（図示省略）側のノード8, 9に接続され、該駆動パルス発生回路から各々ハイレベルの駆動パルスφTS, φTRがゲートに各々与えられると、これらスイッチ用MOSトランジスタQS, QRがオンするようになっている。

【0055】次に、上記構成の2値化信号形成用固体撮像装置10の動作について、図2のタイミングチャートを参照して説明する。尚、図2において、期間t10～t17は、図1の第1行目の画素1の読み出し動作をしており、期間t20～t27は、第2行目の画素1の読み出し動作を示している。

【0056】図2に示すように、期間t10に至る前、駆動パルスφTG1, φTG2はハイレベルに保持され、駆動パルスφRD1, φRD2はローレベル（電圧レベルVRS）に保持され、駆動パルスφRGはハイレベルに保持され、駆動パルスφRSV, 駆動パルスφTR, φTSはローレベルに保持され、駆動パルスφTOはローレベルに保持されている。尚、駆動パルスφH1, φH2、駆動パルスφRSRSHは全てローレベルに保持されている。

【0057】そして、期間t10に至ると、駆動パルスφRGはローレベルに反転され、駆動パルスφRSVはハイレベルに反転され、駆動パルスφTR, φTSがハイレベルに反転される。

【0058】しかして、駆動パルスφRGがローレベルになるとリセット用MOSトランジスタ（pチャネル型）QPはオンとなる。又、駆動パルスφRSVがハイレベルになるとリセットスイッチ用MOSトランジスタ（nチャネル型）QRCSV1, QRCSV2がオンとな

る。又、駆動パルス φTR , φTS がハイレベルになるとスイッチ用MOSトランジスタ（nチャネル型）QR, QSはオンとなる。

【0059】このとき、駆動パルス φTO はローレベルに保持されているため、スイッチ用MOSトランジスタQO1, QO2はオフとなっている。更に、駆動パルス $\varphi RD1$, $\varphi RD2$ は、共に電圧レベルVRS（ローレベル）となっており、オンとなっているリセット用トランジスタQPを介してその電圧VRSが各增幅用トランジスタQAのゲート（制御領域）に伝わるようになっている。

【0060】このとき増幅用トランジスタQAのゲート（制御領域）は電圧レベルVRSにバイアスされる。この電位はローレベルであり、該増幅用トランジスタQAはオフとなる。又、この期間t10では、上記のようにリセットスイッチ用MOSトランジスタQRSV1, QR SV2が、共にオンとなっているため、全ての画素1の増幅用トランジスタQAのソースが接地される。

【0061】このとき（期間t10）、スイッチ用MOSトランジスタQR, QSは上記のようにオンされているので、基準信号蓄積用コンデンサCR及び出力信号蓄積用コンデンサCSに残留する信号電荷も定電流源17a, 17b側に排出される（リセット）。尚、この期間t10においては、駆動パルス $\varphi TG1$, $\varphi TG2$ が共にハイレベルに保持されているため、転送用MOSトランジスタ（pチャネル型）QTがオフとなっており、各フォトダイオードPDでは、入射光に応じた電荷（信号電荷）が生成され、蓄積されている。

【0062】次に、期間t11に至ると、駆動パルス $\varphi RD1$ は基準電圧レベルVRFにされ、駆動パルス φTS はローレベルに反転される。上記ローレベルの駆動パルス φTS によってスイッチ用MOSトランジスタ（nチャネル型）QSはオフとなる。又、このとき既にオンに保持されている第1行目のリセット用MOSトランジスタQPを介して、前記基準電圧レベルVRFが第1行目の各画素1の増幅用トランジスタQAのゲート（制御領域）に供給される。

【0063】このように基準電圧レベルVRFが供給された第1行目の増幅用トランジスタQAはオンすると共に

$$VSR = VRF - VT$$

ここで、VTは各増幅用トランジスタQAのドレイン電流がIBのときのゲート・ソース間電圧である。

【0068】次に、期間t13に至ると、駆動パルス φRG がローレベルに反転され、駆動パルス φTR がローレベルに反転される。駆動パルス φTR がローレベルとなることによりスイッチ用MOSトランジスタ（nチャネル型）QRがオフとなり、基準信号蓄積用コンデンサCRは、期間t12で充電された前記式（1）で表される電位VSRを保持する。

【0069】駆動パルス φRG がローレベルになると

に、該増幅用トランジスタQAのゲート（制御領域）が基準電圧レベルVRFにバイアスされる。尚、第2行目の各增幅用トランジスタQAは、駆動パルス $\varphi RD2$ がローレベル（電圧レベルVRS）のままであるため、ゲート（制御領域）が電圧レベルVRSのままでオフ（非選択）に保持される。

【0064】次に、期間t12に至ると、駆動パルス $\varphi RD1$ が電圧レベルVRS（ローレベル）にされ、駆動パルス φRG がハイレベルに、駆動パルス φRSV がローレベルに反転される。前記駆動パルス φRG がハイレベルとなることによってリセット用MOSトランジスタ（pチャネル型）QPがオフとなって、第1行目の増幅用トランジスタQAのゲート（制御領域）はフローティング状態となるが、該増幅用トランジスタQAのゲートに寄生する容量によって、該ゲートの電圧は前記基準電圧レベルVRFにバイアスされたまま、その状態が保持される。

【0065】又、この期間t12においては、上記のように駆動パルス φRSV がローレベルとなるので、リセットスイッチ用MOSトランジスタ（nチャネル型）QRSV1, QR SV2が共にオフとなる。尚、駆動パルスTSは、ローレベルのままであるからスイッチ用MOSトランジスタ（nチャネル型）QSはオフのままである。

【0066】この結果、期間t12においては、期間t11において選択（オン）された第1行目の増幅用トランジスタQAがソースホロア動作をし、該増幅用トランジスタQAのソースの電位（この電位をVSRとする）は、そのソース・ドレイン間に流れる電流（ドレイン電流）がIB（定電流源17a, 17bに流れる電流値）になるまで上昇する。しかし、このとき電流（ドレイン電流）IBは、すでにオンとなっているスイッチ用MOSトランジスタQRを介して、基準信号蓄積用コンデンサCRに流れ、その両端の電圧がVSRとなるように充電される。

【0067】尚、期間t12では、ソースホロア動作によってソース・ドレイン間に流れる電流がIBになったとき、増幅用トランジスタQAのソースの電位VSRは、次式（1）に示される値になる。

$$\dots (1)$$

ことにより、リセット用MOSトランジスタ（pチャネル型）QPはオンとなる。次に、期間t14に至ると、駆動パルス $\varphi RD1$ が電圧レベルVRD（=読み出しレベル<VRF）となる。このとき、既にオフとなっている第1行目の各リセットスイッチ用MOSトランジスタQPを介して、前記電圧VRDが第1行目の各増幅用トランジスタQAのゲート（制御領域）に伝わり、該ゲートは、読み出しレベルVRDにバイアスされる。

【0070】次に、期間t15に至ると、駆動パルス $\varphi TG1$ がローレベルに反転され、駆動パルス $\varphi RD1$ が

ローレベル（電圧レベルV RS）に反転され、駆動パルス φ RGがハイレベルに反転される。そして、駆動パルス φ RGがハイレベルに反転されることにより、前記リセット用MOSトランジスタQ Pがオフとなって、第1行目の増幅用トランジスタQAのゲート（制御領域）がフローティング状態となるが、当該MOSトランジスタQ Pのゲートに寄生する容量によって、該ゲートの電圧は、電圧レベルVR Dにバイアスされたまま保持される。

【0071】又、駆動パルス φ TG 1がローレベルに反転されることにより、第1行目の画素1の転送用MOSトランジスタQTがオンする。このとき、第1行目の画素1のフォトダイオードPDにおいて生成され、蓄積されていた信号電荷は、第1行目の画素1の増幅用トランジスタQAのゲート（制御領域）に転送される。そして、この信号電荷の転送により、第1行目の増幅用トランジスタQAからは、ソースホロア動作によって、ゲート（制御領域）に受け取った電荷（信号電荷）に応じた電気信号（電圧信号）が垂直読み出し線2a, 2bに出力される。

【0072】即ち、上記のように増幅用トランジスタQAのゲート（制御領域）にフォトダイオードPDから入射光に応じた信号電荷が供給されると、増幅用トランジスタQAのゲートの電位も、供給された電荷に応じて上昇する。そして、この電位の上昇によって、第1行目の増幅用トランジスタQAがソースホロア動作をし、当該増幅用トランジスタQAのソースの電位も、前記ゲートの電位の上昇分に応じて上昇することになる。

$$VSS = VRD + VS - VT$$

ここで、VTは各増幅用トランジスタQAのドレイン電流がIBのときのゲート・ソース間電圧、VSは（入射光に応じた電荷／ゲート容量）であらわされるゲート電位の上昇分である。

【0077】また、駆動パルス φ TSがハイレベルであるため（スイッチ用MOSトランジスタQSがオン）、出力信号蓄積用コンデンサCSの両端は、当該期間t 16で充電された前記式（2）で表される電位VSSとなる。尚、この電位VSSは、期間t 16の終了時（期間t 17の開始時）に前記駆動パルス φ TSがローレベルに反転されてスイッチ用MOSトランジスタQSがオフとなる時点までに、出力信号蓄積用コンデンサCSに充電される。

【0078】このように、基準信号蓄積用コンデンサCRの両端には電圧VSD (=VRF - VT) が保持され、出力信号蓄積用コンデンサCSの両端が電圧VSS (=VRD + VS - VT) となることで、電圧比較器A Cからは、これら基準信号蓄積用コンデンサCRと出力信号蓄積用コンデンサCSに生じた、電圧VSDとVSSの大小が比較され、この比較結果をあらわす2値化信

【0073】そして、期間t 15の終了時、即ち期間t 16の開始時、今度は、駆動パルス φ TG 1がハイレベルに反転され、第1行目の転送用MOSトランジスタQTが再びオフとなる。この転送用MOSトランジスタQTのオフによって、第1行目の画素1のフォトダイオードにおいて生成され、蓄積された信号電荷の転送が終了し、第1行目の増幅用トランジスタQAのゲート（制御領域）は再びフローティング状態となるが、増幅用トランジスタQAのゲートに寄生する容量によって、該ゲートの電圧は、フォトダイオードPDから転送された信号電荷の分だけ上昇したまま保持される。

【0074】次に、期間t 16に至ると、駆動パルス φ TS、 φ TOがハイレベルに反転される。そして、駆動パルス φ TSがハイレベルとなることで、スイッチ用MOSトランジスタ（nチャネル型）QSがオンになる。このスイッチ用MOSトランジスタQSのオンによって、第1行目の増幅用トランジスタQAのソースの電位に応じた電荷が、出力信号蓄積用コンデンサCSに充電される。

【0075】一方、駆動パルス φ TOがハイレベルとなることによって、スイッチ用MOSトランジスタQO 1, QO 2が共にオンとなる。ところで、この期間t 16でも、増幅用トランジスタQAのソースホロア動作によってソース・ドレイン間に流れる電流がIBになったとき、該増幅用トランジスタQAのソースの電位（VS Sで表す）は、以下の式（2）で示される値となる。

【0076】

$$\dots (2)$$

号が出力される。

【0079】又、この期間t 16では駆動パルス φ TOがハイレベルであるため、スイッチ用MOSトランジスタ（nチャネル型）QO 1, QO 2がオフとなっており、これらスイッチ用MOSトランジスタ（nチャネル型）QO 1, QO 2を介して、2値化信号の値が、2値化信号蓄積用コンデンサCO 1, CO 2に蓄えられる。尚、このとき駆動パルス φ H 1, φ H 2は共にローレベルで、スイッチ用MOSトランジスタ（nチャネル型）QH 1, QH 2は共にオフとなっている。

【0080】ところで、基準電圧レベルVR Fに関しては、読み出し電圧VR Dより大きな値であれば、その値を任意に設定することができる。今仮に、基準電圧レベルを読み出し電圧VR Dを基準に設定するのであれば（例えば、読み出し電圧VR Dと基準電圧VREFとの和に設定）、基準電圧VREFと前記した信号電圧VSとを直接比較することができる。

【0081】このときの基準電圧レベルをVSR 1とすると、VSR 1の値は、次式（3）で表される。

$$VSR 1 = VR F - VT = VR D + VREF - VT \dots (3)$$

従って、電圧VSSと電圧VSR1との差分（比較結果）は、次式（4）に示す関係となる。

$$\begin{aligned} VSS - VSR1 &= (VRD + VS - VT) - (VRD + VREF - VT) \\ &= VS - VREF \end{aligned}$$

従って、電圧比較器ACの出力は、フォトダイオードPDで得られた電荷に応じた信号電圧VSと、基準電圧VREFとを比較して得られた2値化信号となる。

【0083】しかして、入射光に応じた信号電圧VSが基準電圧VREFより大きければ、電圧比較器ACの出力は、電源電圧VD（ハイレベル）となり、入射光に応じた信号電圧VSが基準電圧（VREF）より小さければ、電圧比較器ACの出力は、接地レベル（ローレベル）となる。換言すれば、入射光に応じた信号電圧VSは基準電圧VREFをスレッショルドレベルとして、電圧比較器ACで2値化信号に変換されることとなる。

【0084】尚、上式（1）～（4）におけるゲート・ソース間電圧VTの値は、増幅用トランジスタQA毎に、ばらつき、固定パターン雑音の要因となることが知られている。しかし、上述のように、ともに同じ増幅用トランジスタQAのドレイン電流が一定の値IBとなるようにして、電気信号（信号電圧）と基準信号（基準電圧）を読み出して比較するので、2値化信号に変換する際に、各画素1の増幅用トランジスタQA毎のばらつきに起因する固定パターン雑音の当該2値化信号への影響を除去することができる。

【0085】このように電圧比較器ACから出力された2値化信号は、この時点（期間t16）でオンに保持されているスイッチ用MOSトランジスタQO1, QO2を介して、2値化信号蓄積用コンデンサCO1, CO2に充電される。

【0086】そして、上記期間t16の終了時には、駆動パルスφTOがローレベルに反転されるので、スイッチ用MOSトランジスタQO1, QO2がオフとなり、2値化信号蓄積用コンデンサCO1, CO2はフローティング状態となる。この結果、2値化信号は、2値化信号蓄積用コンデンサCO1, CO2に各々保持される。次に、期間t17に至ると、水平走査回路13からの駆動パルスφH1が一定期間ハイレベルに立ち上げられその後ローレベルに保持される。

【0087】又、駆動パルスφH2に関しては、前記駆動パルスφH1がローレベルに保持された後、所定間隔において一定期間ハイレベルに立ち上げられその後ローレベルに保持される。更に、駆動パルスφRSVに関しては、前記駆動パルスφH1がローレベルに立ち下がった後で駆動φH2が立ち上がる前までの間に、一定期間ハイレベルに立ち上げられその後ローレベルに保持され、その後、前記駆動パルスφH2がローレベルに立ち下がった後、再び一定期間ハイレベルに立ち上げられその後ローレベルに保持される。

【0082】

$$\cdots (4)$$

【0088】しかして、駆動パルスφH1のハイレベルの切換によって、2値化信号蓄積用コンデンサCO1に保持されている2値化信号は、その切換タイミングで水平読み出し線12に読み出され、出力バッファアンプ15を介して、順次出力端子VOに出力される。続く、駆動パルスφRSVのハイレベルの切換によって、リセットスイッチ用MOSトランジスタQRSVがオンされると、前記水平読み出し線12がリセット（初期化）される。これは、水平読み出し線12の寄生容量により、電圧信号が水平読み出し線12に読み出されたときこの電気信号（電圧信号）の一部が当該寄生容量に保持されるため、この水平読み出し線12に残留している電気信号を、リセットするためのものである。

【0089】そして、駆動パルスφH2のハイレベルの切換によって、2値化信号蓄積用コンデンサCO2に保持されている2値化信号は、その切換タイミングで水平読み出し線12に読み出され、出力バッファアンプ15を介して、順次出力端子VOに出力される。最後に、駆動パルスφRSVがハイレベルに切り換ると、リセットスイッチ用MOSトランジスタQRSVがオンされ、再び前記水平読み出し線12がリセット（初期化）される。

【0090】尚、前記した読み出しラインの寄生容量の影響により、水平読み出し線12に読み出される電気信号（電圧信号）は、波形がなまけて、定常状態に達するまで時間がかかるが、本実施形態では、水平読み出し線12に現れる電気信号（電圧信号）はすでに2値化信号に変換されているため、定常状態に達しなくとも、その電気信号がハイレベル／ローレベルの何れをあらわすかの判別が可能となり、その読み出し動作の高速化が図られる。

【0091】期間t17の終了時には（期間t20に至るまで）、駆動パルスφRGはローレベルに反転され、駆動パルスφRSV、駆動パルスφTR、駆動パルスφTSはハイレベルに反転される。そして、前記駆動パルスφRGがローレベルとなることにより、リセットスイッチ用MOSトランジスタQPがオンとなる。

【0092】又、駆動パルスφRSVがハイレベルとなることにより、スイッチ用MOSトランジスタQRSV1, QRSV2は共にオンとなって、垂直読み出し線2a, 2b上の電荷が排出される。又、駆動パルスφTR, φTSがハイレベルとなることにより、スイッチ用MOSトランジスタQR, QSがオフとなって、基準信号蓄積用コンデンサCRと出力信号蓄積用コンデンサCSに蓄積された電荷が排出される。

【0093】以上に示した期間 $t_{10} \sim t_{17}$ における第1行目の画素の読み出し動作は、続く期間 $t_{20} \sim t_{27}$ において、第2行目の画素に対して同様に繰り返して行われる。

【0094】次に、図1に示す画素1の具体的な構成について図3 (A) ~ (C) を用いて詳細に説明する。画素1は、図1に示したように、入射光に応じた信号電荷を生成・蓄積する縦型オーバーフロー構造の埋め込みフォトダイオードPDと、該埋め込みフォトダイオードPDに蓄積された信号電荷を増幅する接合型電界効果トランジスタQAと、前記埋め込みフォトダイオードPDに蓄積された信号電荷を該接合型電界効果トランジスタQAのゲートに転送する転送用MOSトランジスタQTと、前記接合型電界効果トランジスタQAのゲートの電荷をリセットするリセット用MOSトランジスタQPによって構成されている。

【0095】図3 (A) ~ (C) は、図1に示した画素1のデバイス構造を示す図であり、このうち図3 (A) は、画素1のデバイス構造例を示す平面図であり、図3 (B) は図3 (A) のX1-X1線に沿った断面図であり、図3 (C) は図3 (A) のY1-Y1線に沿った断面図である。画素1は、図3 (A) ~ (C) に示すように、入射光に応じた信号電荷を生成・蓄積する埋め込みフォトダイオードPDと、ゲート(制御領域)に受け取った信号電荷に応じた電気信号を出力する増幅用トランジスタ(JFET) QAと、前記埋め込みフォトダイオードPDによって生成・蓄積された信号電荷を該増幅用トランジスタ(JFET) QAのゲート(制御領域)に転送する転送用MOSトランジスタQTと、前記増幅用トランジスタ(JFET) QAのゲート(制御領域)の電荷をリセットするリセット用MOSトランジスタQPによって構成されている。

【0096】このうち転送用MOSトランジスタQTは、図3 (C) に示すように、埋め込みフォトダイオードPDのp領域と、増幅用トランジスタ(JFET) QAのp型ゲート領域とを2つの拡散層に用い、TGをゲートとしたpチャネル型MOSトランジスタとして構成されている。

【0097】又、リセット用MOSトランジスタQPは、図3 (B) に示すように、RGをゲートに、RD(p領域)をドレイン、増幅用トランジスタQAのゲートを構成するp領域をソースとするpチャネル型MOSトランジスタとして構成されている。又、埋め込みフォトダイオードPD自体は、図3 (A) ~ (C) に示すように、n型シリコン層(n⁺)表面からp型シリコン基板(p-SUB)に向かって、n-p-n型の縦型オーバーフロー構造の埋め込みフォトダイオード(n-p-n)によって埋め込みフォトダイオードが構成され、p-n-pによってオーバーフロー構造が構成される。)を形成している

【0098】従って、溢れ出るキャリアを吸収するオーバーフロー構造によってブルーミング、スミア等のにじみの現象を抑制することができるとともに、埋め込みフォトダイオードPDによってpn接合部に生じる空乏層が表面に達しないため、暗電流が抑制され、又、信号電荷が転送された後にフォトダイオードPDに電荷が残らないため、残像、リセットノイズを抑えた理想的な特性を得ることができる。

【0099】又、増幅用トランジスタ(JFET) QA自体は、図3 (A) ~ (C) に示すように、n⁺型ソース領域及びn⁺型ドレイン領域と、p型ゲート領域(pゲート)、n型チャネル領域(nチャネル)より構成されている。このうちp型ゲート領域(pゲート)は、n型チャネル領域(nチャネル)の上下に形成され、チャネルの形成されていない部分で两者(上下に形成されたp型ゲート領域(pゲート))を電気的に導通させるとともに、このp型ゲート領域(pゲート)とp型シリコン基板(p-SUB)とをnウェル(n-WELL)によって電気的に分離している。

【0100】この結果、光電変換素子としてのフォトダイオードPD自身の特性に与える基板電圧の影響(基板バイアス効果)を大幅に低減し、各画素1, 1, 1, 1の解像度の向上、特性のばらつきの低減(例えば、固定パターン雑音の低減)を図ることに大きな効果がある。

【0101】以上のように、この第1の実施形態の2値化信号形成用固体撮像装置10によれば、フォトダイオードPDから入射光に応じた電気信号が得られる経路と、基準信号が得られる経路が同じになっているので、画素部は勿論のこと、それに続く周辺回路要素の列毎のばらつき(コンデンサやスイッチ用MOSトランジスタ等の製造上のばらつき)の影響をなくしてS/N比を高くすることができる。

【0102】また、従来行われていた暗電流に起因する固定パターン雑音の除去が、上記基準信号の生成時に合わせて行われるので、従来、当該固定パターン雑音の除去のために必要であった差動アンプが不要になる。

(第2の実施形態) 次に、第2の実施形態の2値化信号形成用固体撮像装置20について、図4、図5を参照して説明する。

【0103】この第2の実施形態の2値化信号形成用固体撮像装置20は、上記した第1の実施形態の2値化信号形成用固体撮像装置10と2値化回路27の構成のみが異なる。従って、2値化信号形成用固体撮像装置20のうち2値化信号形成用固体撮像装置10と同一の構成については、同一の符号を付してその説明を省略する。2値化信号形成用固体撮像装置20の2値化回路27は、図4に破線内に示すように、バイアス用MOSトランジスタ(pチャネル型) QB(バイアス手段)と、スイッチ用MOSトランジスタ(pチャネル型) QRB(バイアス記憶手段・サンプルホールド切換手段)

と、スイッチ用MOSトランジスタ（nチャネル型）QSB（切換手段）と、バイアス蓄積用コンデンサCRB（バイアス記憶手段；バイアス電荷蓄積手段）と、電流検出用MOSトランジスタ（nチャネル型）QX（電流検出手段）と、2値化出力用MOSトランジスタ（nチャネル型）QYと、負荷用電流源CSと、インバータAXとによって構成されている。そして、上記したインバータAXから、画素1からの入射光に応じた電気信号と所定の基準信号とを比較して得られた2値化信号が出力されるようになっている。尚、この2値化回路27は、各垂直読み出し線22a, 22b毎（マトリックス状に配置された複数の画素1, 1, 1, 1の共通の列毎）にその途中に配置されている。

【0104】より具体的には、2値化回路27を構成するバイアス用MOSトランジスタQBは、そのソース・ドレイン間（主電流経路）が、各々対応する垂直読み出し線22a, 22bに接続され、そのゲートは、バイアス蓄積用コンデンサCRBの一方の端子に接続されている。尚、このバイアス蓄積用コンデンサCRBの他方の端子は接地されている。

【0105】又、バイアス用MOSトランジスタQBのソースが接続されるノードn21には、スイッチ用MOSトランジスタQRBを介して、前記バイアス蓄積用コンデンサCRBの前記一方の端子が接続されている。更に、このノードn21には、定電流源（電流源）17a, 17bが接続されている。又、前記ノードn21の下流側（図4中下方）には、スイッチ用MOSトランジスタQSBを介して、電流検出用MOSトランジスタQXのドレイン、ゲート及び、2値化出力用MOSトランジスタQYのゲートが接続されている。

【0106】この場合、電流検出用MOSトランジスタQXのソースと、2値化出力用MOSトランジスタQYのソースには、電源電圧VC（負）が各々接続されている。更に、前記2値化出力用MOSトランジスタQYはそのドレインが、負荷用電流源CSと、インバータAXの入力端子に接続されている。この場合、該負荷用定電流源CSには電源電圧VD（正）が接続される。

【0107】尚、前記したスイッチ用MOSトランジスタQRBは、そのゲートが、クロックライン23aを介して駆動パルス発生回路（図示省略）側のノードn23に接続されている。しかして、駆動パルス発生回路からローレベルの駆動パルスφRが前記スイッチ用MOSトランジスタ（pチャネル型）QRBのゲートに与えられると、当該スイッチ用MOSトランジスタQRBがオンするようになっている。

【0108】又、前記スイッチ用MOSトランジスタQSBのゲートは、クロックライン24aを介して駆動パルス発生回路（図示省略）側のノードn24に接続されている。しかして、駆動パルス発生回路からハイレベルの駆動パルスφSが、前記スイッチ用MOSトランジスタ

タ（nチャネル型）QSBのゲートに与えられると、当該スイッチ用MOSトランジスタQSBがオンするようになっている。

【0109】次に、この2値化信号形成用固体撮像装置20による2値化信号の生成について、図5に示すタイミングチャートを参照して説明する。尚、図5に示す、期間t10～t17は、第1行目の画素1の読み出し動作を示しており、期間t20～t27は、第2行目の画素1の読み出し動作を示している。

【0110】図5に示すように、期間t10に至る前、駆動パルスφTG1, φTG2、駆動パルスφRG、駆動パルスφRはハイレベルに保持され、駆動パルスφRD1, φRD2はローレベル（電圧レベルVRS）に保持されている。又、他の駆動パルスφS、駆動パルスφTO、駆動パルスφH1, φH2、駆動パルスφRSHは全てローレベルに保持されている。

【0111】そして、期間t10に至ると、駆動パルスφRGがローレベルに反転され、画素1内のリセット用MOSトランジスタ（pチャネル型）QPがオンとなる。更に、駆動パルスφRD1, φRD2は、共に電圧レベルVRS（ローレベル）となっており、オンとなった前記リセット用トランジスタQPを介してその電圧VRSが各增幅用トランジスタQAのゲート（制御領域）に伝わるようになっている。

【0112】尚、このとき駆動パルスφTG1, φTG2は共にハイレベルに保持されているため、転送用MOSトランジスタ（pチャネル型）QTがオフとなっており、各フォトダイオードPDでは、入射光に応じた電荷（信号電荷）が生成され、蓄積されている。しかし、増幅用トランジスタQAのゲート（制御領域）は電圧レベルVRSにバイアスされるが、その出力に関してはこの時点（初期状態）では第1の実施形態の場合と同様に、ローレベルとなっているため、これら増幅用トランジスタQAは、全体としてオフとなっている。

【0113】又、駆動パルスφRが、引き続きハイレベルに保持されているため、スイッチ用MOSトランジスタ（pチャネル型）QRBはオフとなっている。又、駆動パルスφSは、引き続きローレベルに保持されているため、スイッチ用MOSトランジスタ（nチャネル型）QSBもオフとなっている。又、このとき駆動パルスφTOはローレベルに保持されているため、スイッチ用MOSトランジスタQO1, QO2はオフとなっている。

【0114】次に、期間t11に至ると、駆動パルスφRD1が基準電圧レベルVRFにされ、駆動パルスφRがローレベルに反転される。そして、上記駆動パルスφRD1の基準電圧レベルVRFは、すでにオンとなっているリセット用MOSトランジスタQPを介して、画素1の増幅用トランジスタQAのゲート（制御領域）に供給され、該増幅用トランジスタQAのゲート（制御領域）が其準電压レベルVRFにバイアスされる。

【0115】尚、第2行目の各増幅用トランジスタQAは、駆動パルス φ R D 2がローレベル（電圧レベルV R S）のままであるため、オフ（非選択）に保持される。又、この期間t 11では、上記したように駆動パルス φ Rがローレベルとなるので、スイッチ用MOSトランジスタ（pチャネル型）QR Bがオンとなって、バイアス用MOSトランジスタQBのゲートとドレインとが接続される。

【0116】このとき、第1行目の増幅用トランジスタQAのドレイン電流とバイアス用MOSトランジスタQBのドレイン電流がIBとなるように（定電流源17a, 17bに流れる電流値）、増幅用トランジスタQAのソース及び、バイアス用MOSトランジスタQBのゲートの電位が自動的に設定される。又、このときのバイアス用MOSトランジスタQBのゲートの電位が、バイアス蓄積用コンデンサCR B間に保持される。

【0117】次に、期間t 12に至ると、駆動パルス φ R D 1がローレベル（電圧レベルV R S）に戻され、駆動パルス φ R G、駆動パルス φ Rがハイレベルに反転される。上記駆動パルス φ R Gがハイレベルとなることによって画素1内のリセット用MOSトランジスタQPはオフとなって、第1行目の増幅用トランジスタQAのゲート（制御領域）はフローティング状態となるが、そのゲートの寄生容量によって、ゲート電圧は、基準電圧レベルV RFにバイアスされたままの状態を保持する。

【0118】又、期間t 12では、上記のように駆動パルス φ R Gがハイレベルとなるので、スイッチ用MOSトランジスタ（pチャネル型）QR Bはオフとなり、バイアス用MOSトランジスタQBのゲートはフローティング状態となるが、このときバイアス蓄積用コンデンサCR Bにより、バイアス用MOSトランジスタQBのゲートの電圧は、期間t 11で設定されたバイアスレベル（バイアス用MOSトランジスタQBのドレイン電流がIBとなるようなバイアスレベル）に保持される。

【0119】期間t 13に至ると、駆動パルス φ R Gが再びローレベルに反転される。この駆動パルス φ R Gの反転によって、画素1内のリセット用MOSトランジスタQPが再びオンとなり、第1行目の画素1の増幅用トランジスタQAのゲート（制御電極）の電圧が、再び電圧レベルV RS（駆動パルス φ R D 1のレベル）に保持される。

【0120】次の期間t 14に至ると、今度は、駆動パルス φ R D 1が電圧レベルV RD（=読み出しレベル<V RF）となる。この電圧レベルV RDは、すでにオフとなっている画素1内のリセットスイッチ用MOSトランジスタQPを介して、第1行目の各増幅用トランジスタQAのゲート（制御領域）に供給され、増幅用トランジスタQAのゲート（制御領域）の電圧が読み出しレベルV RDに保持される。

【0121】期間t 15に至ると、駆動パルス φ T G 1

がローレベルに反転され、駆動パルス φ R D 1が電圧レベルV RS（ローレベル）に戻され、更に、駆動パルス φ R Gがハイレベルに反転される。前記駆動パルス φ R Gがハイレベルとなることによって、画素1内のリセットスイッチ用MOSトランジスタQPがオフとなる。

【0122】一方で、駆動パルス φ T G 1がローレベルとなることによって、第1行目の各画素1の転送用MOSトランジスタQTがオンとなり、第1行目の各画素1のフォトダイオードPDにおいて生成・蓄積された信号電荷が、第1行目の増幅用トランジスタQAのゲート（制御領域）に転送される。この信号電荷をそのゲートに受けた増幅用トランジスタQAは、そのソースに当該信号電荷に応じた電気信号を生成して、当該電気信号（電圧信号）を垂直読み出し線22a, 22bに出力する。

【0123】そして、期間t 16に至ると、駆動パルス φ T G 1、駆動パルス φ S、駆動パルス φ T Oがハイレベルに反転される。上記駆動パルス φ T G 1がハイレベルとなることにより、第1行目の転送用MOSトランジスタ（pチャネル型）QTがオフとなって、画素1からの信号電荷の転送が終了する。

【0124】このときゲートの寄生容量によって、フォトダイオードPDから転送された電荷の分だけ、増幅用トランジスタQAのゲートの電圧が上昇したまま（後述のVS）その状態が保持される。又、上記駆動パルス φ Sがハイレベルになることによってスイッチ用MOSトランジスタQS Bがオンとなり、上記駆動パルス φ T Oがハイレベルになることによってスイッチ用MOSトランジスタQO 1, QO 2がオンとなる。

【0125】ところで、期間t 16に至るまでに、前記したように増幅用トランジスタQAのゲート電位が基準レベルV RFであるとき（期間t 11）、該増幅用トランジスタQAのドレイン電流及びバイアス用MOSトランジスタQBのドレイン電流がIB（定電流源17a, 17bに流れる電流値）となるように、所定の電圧がバイアス用MOSトランジスタQBのゲートに保持されている。

【0126】従って、この期間t 16において、前記増幅用トランジスタQAのゲート電位がフォトダイオードPDからの信号電荷に応じて上昇し増幅用トランジスタQAのゲート電位がV RFより高くなると、増幅用トランジスタQAのドレイン電流及びバイアス用MOSトランジスタQBのドレイン電流は、一時的にIB（定電流源17a, 17bに流れる電流値）より大きくなる。

【0127】又、増幅用トランジスタQAのゲートの電位がV RFより低くなると、増幅用トランジスタQAのドレイン電流及びバイアス用MOSトランジスタQBのドレイン電流は、一時的にIB（定電流源17a, 17bに流れる電流値）より小さくなる。ここで、増幅用トランジスタQAのゲート（制御領域）に入射光に応じた

電荷が転送された後の該増幅用トランジスタQ Aのゲート電位をV GSとすると、この電位V GSは次式（5）

$$V GS = V RD + VS$$

ここでV Sは、（入射光に応じた電荷／ゲート容量）であらわされる値である。因みに、前記した期間t 1 1においてリセットスイッチ用MOSトランジスタQ Pを介して増幅用トランジスタQ Aのゲートに供給される基準電圧レベルV RFは、任意に設定できる（但し、読み出し電圧V RDより大きくなることが条件）。

$$V GS - V GB$$

$$= (V RD + VS) - (V RD + V REF)$$
$$= VS - V REF$$

… (5)

【0129】今仮に、該基準電圧レベルV RFを所望の値V GB（=V RF = V RD + V REF）に強制的に設定すると、増幅用トランジスタQ Aのドレイン電流がI Bであるならば、増幅用トランジスタQ Aのゲート電圧の値V GSは、次式（6）に示す値となる。

仮に、増幅用トランジスタQ Aのドレイン電流及びバイアス用MOSトランジスタQ Bのドレイン電流をI Dとすると、上記した電圧値V GSが電圧値V GBより大きいとき（V SがV REFより大きいとき）ドレイン電流の値（I Dであらわす）は、上記した定電流源17a, 17bにより流れる電流値I Bより一時的に大きくなる。

【0130】このとき定電流源17a, 17bの働きによって、これら電流I D、電流I Bの差分の電流（I D - I B）が、この時点でオンとなっているスイッチ用MOSトランジスタQ SBを介して、電流検出用MOSトランジスタQ Xのドレイン・ソース間を流れる。ここで、前記電流検出用MOSトランジスタQ Xと、2値化出力用MOSトランジスタQ Yとは、カレント・ミラーリング回路を構成しているので、前記2値化出力用MOSトランジスタQ Yにドレイン電流が供給される。

【0131】このとき、2値化出力用MOSトランジスタQ Yのドレイン電位は、低下し（ローレベル）、インバータAXの出力は電源電圧レベル（ハイレベル）となる。反対に、値V GSが値V GBより小さいとき（値V Sが値V REFより小さいとき）、電流値I DがI Bより小さくなるので、前記電流検出用MOSトランジスタQ Xのソース・ドレイン間には電流は流れない。従って、前記電流検出用MOSトランジスタQ Xのゲートと、2値化出力用MOSトランジスタQ Yのゲート電位は共に低下し、2値化出力用MOSトランジスタQ Yはオフとなる。

【0132】このとき、ドレイン電位は上昇し（ハイレベル）、インバータAXの出力は接地レベル（ローレベル）となる。このように、本実施形態の2値化信号形成用固体撮像装置20では、画素1からの電気信号は、基準電圧レベルV RF（基準電圧V REF）をスレッショルドレベルとして、該2値化回路27で2値化されることになる。

【0133】尚、増幅用トランジスタQ Aのドレイン電流I Dは、ゲート・ソース間電圧V Tの値に依存し、このゲート・ソース間電圧V Tの値は、増幅用トランジスタQ A毎にばらつく（固定パターン雑音の要因）ためが

であらわされる。

【0128】

… (5)

【0129】今仮に、該基準電圧レベルV RFを所望の値V GB（=V RF = V RD + V REF）に強制的に設定すると、増幅用トランジスタQ Aのドレイン電流がI Bであるならば、増幅用トランジスタQ Aのゲート電圧の値V GSは、次式（6）に示す値となる。

… (6)

知られている。しかして、上述のように、増幅用トランジスタQ Aのゲートを電流が一定の値（I B）となるようバイアスすることによって、2値化信号に変換する際に、各画素1の増幅用トランジスタQ A毎のばらつきに起因する固定パターン雑音の当該2値化信号への影響を除去することができる。

【0134】上記インバータAXから出力された2値化信号は、当該期間t 1 6においてオンとなっているスイッチ用MOSトランジスタQ O 1, Q O 2を介して、2値化信号蓄積用コンデンサC O 1, C O 2に充電される。そして、期間t 1 7に至ると、駆動パルスφ S、駆動パルスφ T Oはローレベルに反転される。そして駆動パルスφ T Oがローレベルとなることにより、スイッチ用MOSトランジスタQ O 1, Q O 2は共にオフとなって、2値化信号蓄積用コンデンサC O 1, C O 2はフローティング状態となり、2値化信号は2値化信号蓄積用コンデンサC O 1, C O 2に保持される。更に、上記駆動パルスφ Sがローレベルとなることにより、前記スイッチ用MOSトランジスタQ SBはオフとなる。

【0135】次に、期間t 1 7に至ると、第1の実施形態の場合と同様に、水平走査回路13からの駆動パルスφ H 1が一定期間ハイレベルに立ち上げられその後ローレベルに保持される。又、駆動パルスφ H 2に関しては、前記駆動パルスφ H 1がローレベルに保持された後、所定間隔において一定期間ハイレベルに立ち上げられその後ローレベルに保持される。

【0136】更に、駆動パルスφ R S Hに関しては、前記駆動パルスφ H 1がローレベルに立ち下がった後で駆動φ H 2が立ち上がる前までの間に、一定期間ハイレベルに立ち上げられその後ローレベルに保持され、その後、前記駆動パルスφ H 2がローレベルに立ち下がった後、再び一定期間ハイレベルに立ち上げられその後ローレベルに保持される。

【0137】しかして、駆動パルスφ H 1のハイレベルの切換によって、2値化信号蓄積用コンデンサC O 1に保持されている2値化信号は、水平読み出し線12に読み出され、出力バッファアンプ15を介して、順次出力端子V Oに出力される。結く駆動パルスφ R S Hのハ

イレベルの切換によって、リセットスイッチ用MOSトランジスタQ R S Hがオンされると、前記水平読み出し線1 2がリセット（初期化）される。これは、水平読み出し線1 2の寄生容量により、電気信号（電圧信号）が水平読み出し線1 2に読み出されたときこの電気信号（電圧信号）の一部が当該寄生容量に保持されるおそれがあるため、この水平読み出し線1 2に残留している電気信号をリセットするための動作である。

【0138】そして、駆動パルス ϕ H 2のハイレベルの切換によって、2値化信号蓄積用コンデンサC O 2に保持されている2値化信号は、水平読み出し線1 2に読み出され、出力バッファアンプ1 5を介して、順次出力端子V Oに出力される。最後に、駆動パルス ϕ R S Hがハイレベルに切り換ると、リセットスイッチ用MOSトランジスタQ R S Hがオンされ、再び前記水平読み出し線1 2がリセット（初期化）される。

【0139】尚、前記した読み出しラインの寄生容量の影響により、水平読み出し線1 2に読み出される電圧信号は、波形がなまって、定常状態に達するまで時間がかかるが、本実施形態においても、水平読み出し線1 2に現れる電圧信号がすでに2値化信号に変換されているため、定常状態に達しなくとも、当該2値化信号がハイレベルとローレベルの何れを示しているかの判別が可能となり、その読み出し動作の高速化が図られる。

【0140】期間t 1 7の終了時には（期間t 2 0に至るまでに）、駆動パルス ϕ R Gはローレベルに反転されて、画素1内のリセットスイッチ用MOSトランジスタQ Pがオンとなる。以上に示した期間t 1 0～t 1 7における第1行目の画素の読み出し動作は、続く期間t 2 0～t 2 7において、第2行目の画素に対して同様に繰り返して行われる。

【0141】（第3の実施形態）次に本発明の第3の実施形態の2値化信号形成用固体撮像装置3 0について、図6、図7を参照して説明する。この第3の実施形態に係る2値化信号形成用固体撮像装置3 0は、2値化回路3 7…が、出力信号電荷蓄積手段（第1の実施形態のコンデンサC O 1, C O 2）を介さずに、単にスイッチ用MOSトランジスタ（nチャネル型）Q H 1 1, Q H 2 1のみを介して水平読み出し線1 2に接続している点が、上記した第1の実施形態の2値化信号形成用固体撮像装置1 0と異なる。

【0142】従って、2値化信号形成用固体撮像装置3 0において、第1の実施形態の2値化信号形成用固体撮像装置1 0と同一の部分については同一符号を付してその説明を省略する。この2値化信号形成用固体撮像装置3 0による2値化信号の生成の動作について、図7のタイミングチャートを用いて説明する。

【0143】尚、この2値化信号形成用固体撮像装置3 0における動作は、期間t 1 7及び期間t 2 7における動作のみが、トロリ+た第1の実施形態の2値化信号形成

用固体撮像装置1 0と異なる。従って、期間t 1 0～t 1 6（期間t 2 0～2 6）の動作は、第1に実施形態の場合と同様であり、その詳細な説明は省略する。又、図7において、期間t 1 0～t 1 7は、第1行目の画素1の読み出し動作を示しており、期間t 2 0～t 2 7は、第2行目の画素1の読み出し動作を示している。

【0144】以下、図7の期間t 1 7における動作について説明する。第1の実施形態の場合と同様に、期間t 1 7に至るまでに（期間t 1 6の終了時）、画素1からの入射光に応じた電気信号は、2値化回路3 7の働きによって基準レベルV R F（基準電圧V R E F）と比較され、既にその2値化が行われている（電圧比較器A Cの出力）。

【0145】そして、期間t 1 7に至ると、水平走査回路1 3からの駆動パルス ϕ H 1が一定期間ハイレベルに立ち上げられその後ローレベルに保持される。又、駆動パルス ϕ H 2に関しては、前記駆動パルス ϕ H 1がローレベルに保持された後、所定間隔おいて一定期間ハイレベルに立ち上げられその後ローレベルに保持される。

【0146】このとき2値化回路3 7からの2値化信号が、各列毎に順次、水平読み出し線1 2に読み出され、その後、出力バッファアンプ1 5を介して、順次出力端子V Oに出力される。尚、読み出しラインの寄生容量の影響により、水平読み出し線1 2に読み出される電圧信号は、波形がなまって、定常状態に達するまで時間がかかるが、本実施形態でも、水平読み出し線1 2に現れる電圧信号がすでに2値化信号に変換されているため、定常状態に達しなくとも、当該2値化信号がハイレベルとローレベルの何れを示しているかの判別が可能となり、その読み出し動作の高速化が図られる。

【0147】又、水平読み出し線1 2上の電荷を排出する必要がなくなるため、読み出しの更なる高速化が図られる。

（第4の実施形態）次に第4の実施形態の2値化信号形成用固体撮像装置4 0について、図8、図9を参照して説明する。

【0148】この2値化信号形成用固体撮像装置4 0は、2値化回路4 7…が、出力信号電荷蓄積手段（第2の実施形態のコンデンサC O 1, C O 2）を介さずに、スイッチ用MOSトランジスタ（nチャネル型）Q H 1 1, Q H 2 1のみを介して水平読み出し線1 2に接続している点が、上記した第2の実施形態の2値化信号形成用固体撮像装置2 0と異なる。

【0149】従って、2値化信号形成用固体撮像装置4 0において、第2の実施形態の2値化信号形成用固体撮像装置2 0と同一の部分については同一符号を付してその説明を省略する。この2値化信号形成用固体撮像装置4 0による2値化信号の生成の動作について、図9のタイミングチャートを用いて説明する。尚、この2値化信号形成用固体撮像装置4 0における動作は、期間t 1 0～t 1 6（期間t 2 0～2 6）

及び期間 t_{27} における動作のみが、上記した第 2 の実施形態と異なる。従って、期間 $t_{10} \sim t_{16}$ （期間 $t_{20} \sim t_{26}$ ）の動作は、第 1 に実施形態の場合と同様であり、その詳細な説明は省略する。又、図 9において、期間 $t_{10} \sim t_{17}$ は、第 1 行目の画素 1 の読み出し動作を示しており、期間 $t_{20} \sim t_{27}$ は、第 2 行目の画素 1 の読み出し動作を示している。

【0150】以下、図 9 の期間 t_{17} における動作の説明のみ行う。第 2 の実施形態の場合と同様に、期間 t_{17} に至るまでに（期間 t_{16} の終了時）、画素 1 からの入射光に応じた電気信号は、2 値化回路 47 の働きによって基準レベル VRF（基準電圧 VREF）と比較され、既にその 2 値化が行われている（電圧比較器 AC の出力）。

【0151】そして、期間 t_{17} に至るまでに駆動パルス φS は、既に（期間 16 でハイレベルに反転されてその状態が保持され、スイッチ用 MOS トランジスタ（n チャネル型）QS B がオンとなって、そのオン状態が当該期間 t_{17} において保持される。

【0152】そして、期間 t_{17} の間に、水平走査回路 13 からの駆動パルス φH_1 が一定期間ハイレベルに立ち上げられその後ローレベルに保持され、引き続き、駆動パルス φH_2 が、前記駆動パルス φH_1 がローレベルに保持された後、所定間隔において一定期間ハイレベルに立ち上げられその後ローレベルに保持される。このとき 2 値化回路 47 からの 2 値化信号が、各列毎に順次、水平読み出し線 12 に読み出され、その後、出力バッファアンプ 15 を介して、順次出力端子 VO に出力される。

【0153】尚、読み出しラインの寄生容量の影響により、水平読み出し線 12 に読み出される電気信号（電圧信号）は、波形がなまって、定常状態に達するまで時間がかかるが、本実施形態でも、水平読み出し線 12 に現れる電気信号（電圧信号）がすでに 2 値化信号に変換されているため、定常状態に達しなくとも、当該 2 値化信号がハイレベルとローレベルの何れを示しているかの判別が可能となり、その読み出し動作の高速化が図られる。

【0154】又、水平読み出し線 12 上の電荷を排出する必要がなくなるため、読み出しの更なる高速化が図られる。尚、上記した第 1 ～ 第 4 の実施形態では、ゲートに寄生した容量によって増幅用トランジスタ QA の制御領域（ゲート）を制御する画素 1 を例にあげて説明したが、増幅用トランジスタ QA の制御領域に容量結合によって電圧信号を供給して、入射光に応じた電気信号を得るようにした画素にも、本発明を同様に適用できるのは勿論である。

【0155】又、上記第 1 ～ 第 4 の実施形態では、画素の増幅用トランジスタ QA として接合型電界効果トランジスタ（JFET）を用いた場合を例にあげて説明したが、この JFET に代えて MOS トランジスタ、バイ

ポーラトランジスタ等を用いてもよい。この場合には、MOS トランジスタのゲートや、バイポーラトランジスタのベースなどの電極（制御領域）に供給される電圧でドレインまたはコレクタ、ソースまたはエミッタなどの出力電圧・電流を制御すればよい。又、これらを併用して、画素を構成しても良い。

【0156】更に、上記第 1 ～ 第 4 の実施形態では、画素 1 が 2 次元マトリックス上に配列されている場合を説明したが、1 次元上に配列される場合でも同様の作用効果を得ることができる。

【0157】

【発明の効果】以上詳述したように、請求項 1 から請求項 10 に記載の 2 値化信号形成用固体撮像装置によれば、2 値化手段が列毎に設けられて、入射光に応じて各画素から出力された電気信号と所定の基準信号とを比較して 2 値化信号が得られ、その後水平読み出し線に転送されるようになっているので、当該水平読み出し線の寄生容量に起因する雑音が該水平読み出し線上的信号に乗っても、該信号がすでに 2 値化されているため、信号処理における雑音の影響を小さくすることができる。又、2 値化信号がハイレベル／ローレベルの何れであるかの判別をいち早く行えるので、信号処理の高速化が図られる。

【0158】又、請求項 1 から請求項 10 に記載の 2 値化信号形成用固体撮像装置では、その装置内で 2 値化処理を行うので、周辺回路でダイナミックレンジが制限されることはなくなり、2 値化処理に、固体撮像装置のダイナミックレンジがそのまま利用できるという効果もある。又、請求項 1 から請求項 10 に記載の 2 値化信号形成用固体撮像装置によれば、2 値化手段は、画素の外部に設けられているため、画素の構造を大きくすることなく 2 値化信号を出力することができ、画素の開口率や解像度を低下させることができない。

【0159】更に、請求項 3 から請求項 10 に記載の 2 値化信号形成用固体撮像装置によれば、光検出部から入射光に応じた電気信号が得られる経路と、基準信号が得られる経路が同じになっているので、画素部は勿論のこと、それに続く周辺回路要素の列毎のばらつき（コンデンサやスイッチ用 MOS トランジスタ等の製造上のばらつき）の影響をなくして S/N 比を高くすることができる。また、従来行われていた暗電流に起因する固定パターン雑音の除去が、上記基準信号の生成時に合わせて行われるので、従来、当該固定パターン雑音の除去のために必要であった差動アンプが不要になる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態の 2 値化信号形成用固体撮像装置 10 の概略構成を示す模式回路図である。

【図 2】2 値化信号形成用固体撮像装置 10 の動作を説明するタイミングチャートである。

【図 3】2 値化信号形成用固体撮像装置 10 の画素 1 の

デバイス構造を示す図である。

【図4】第2の実施形態の2値化信号形成用固体撮像装置20の概略構成を示す模式回路図である。

【図5】2値化信号形成用固体撮像装置20の動作を説明するタイミングチャートである。

【図6】第3の実施形態の2値化信号形成用固体撮像装置30の概略構成を示す模式回路図である。

【図7】2値化信号形成用固体撮像装置30の動作を説明するタイミングチャートである。

【図8】第4の実施形態の2値化信号形成用固体撮像装置40の概略構成を示す模式回路図である。

【図9】2値化信号形成用固体撮像装置40の動作を説明するタイミングチャートである。

【図10】従来の2値化信号形成用固体撮像装置100の概略構成を示す模式回路図である。

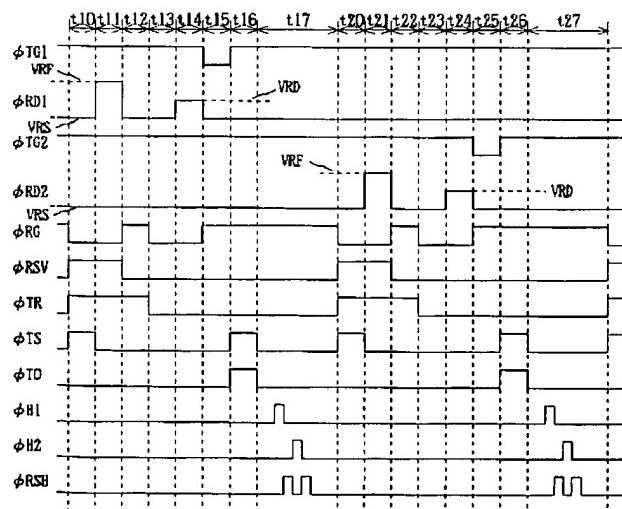
【図11】従来の2値化信号形成用固体撮像装置100の動作を説明するタイミングチャートである。

【図12】固体撮像装置の外部に2値化手段を設けた従来の画像処理装置120のブロック図である。

【符号の説明】

- 1 画素
- 2 a, 2 b 垂直読み出し線
- 6 垂直走査回路（垂直走査手段）
- 7, 27, 37, 47 2値化回路（2値化手段）
- 12 水平読み出し線
- 13 水平走査回路（水平走査手段）
- 15 出力バッファアンプ
- 17 a, 17 b 定電流源（電流源）
- P D フォトダイオード（光検出部、光電変換素子）
- Q A 増幅用トランジスタ（増幅手段）

【図2】



Q T 転送用MOSトランジスタ（第1のスイッチ手段）

Q P リセット用MOSトランジスタ（第2のスイッチ手段）

Q S, Q R スイッチ用MOSトランジスタ（転送切換手段）

C S 出力信号蓄積用コンデンサ（第1の記憶手段；電荷蓄積手段）

C R 基準信号蓄積用コンデンサ（第2の記憶手段；電荷蓄積手段）

A C 電圧比較器（比較手段）

Q R S V 1, Q R S V 2 リセットスイッチ用MOSトランジスタ

Q R S H リセットスイッチ用MOSトランジスタ

Q B バイアス用MOSトランジスタ（バイアス手段；定電流用トランジスタ）

Q R B スイッチ用MOSトランジスタ（バイアス記憶手段；サンプル・ホールド手段）

Q S B スイッチ用MOSトランジスタ（切換手段）

C R B バイアス蓄積用コンデンサ（バイアス記憶手段；バイアス電荷蓄積手段）

Q X 電流検出用MOSトランジスタ（電流検出手段）

Q Y 2値化出力用MOSトランジスタ

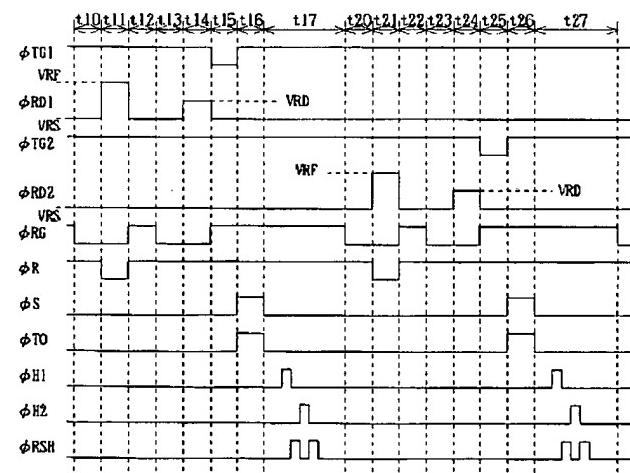
C S 負荷用電流源

A X インバータ

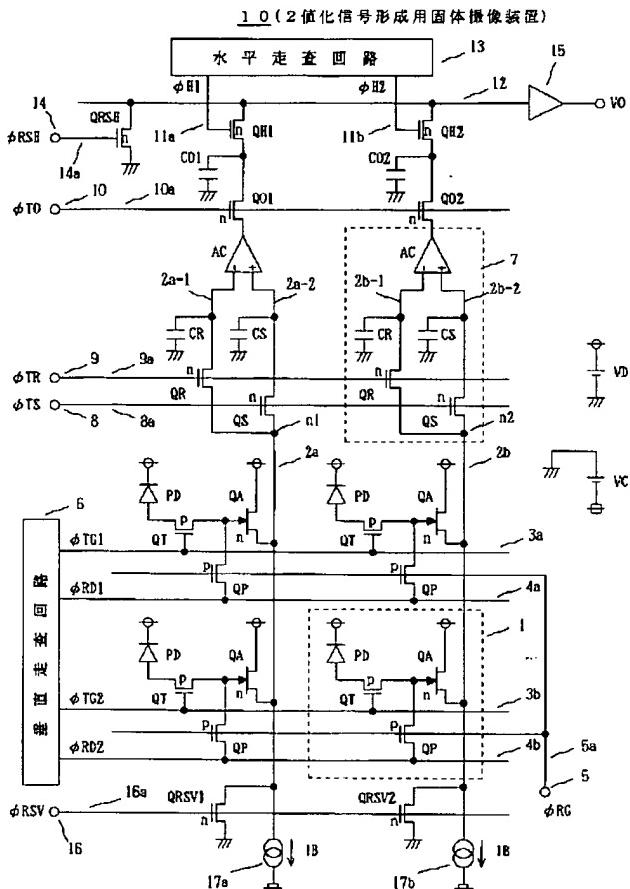
Q O 1, Q O 2 スイッチ用MOSトランジスタ（第1のスイッチング手段）

Q H 1, Q H 2 水平読み出しスイッチ用MOSトランジスタ（第2のスイッチング手段）

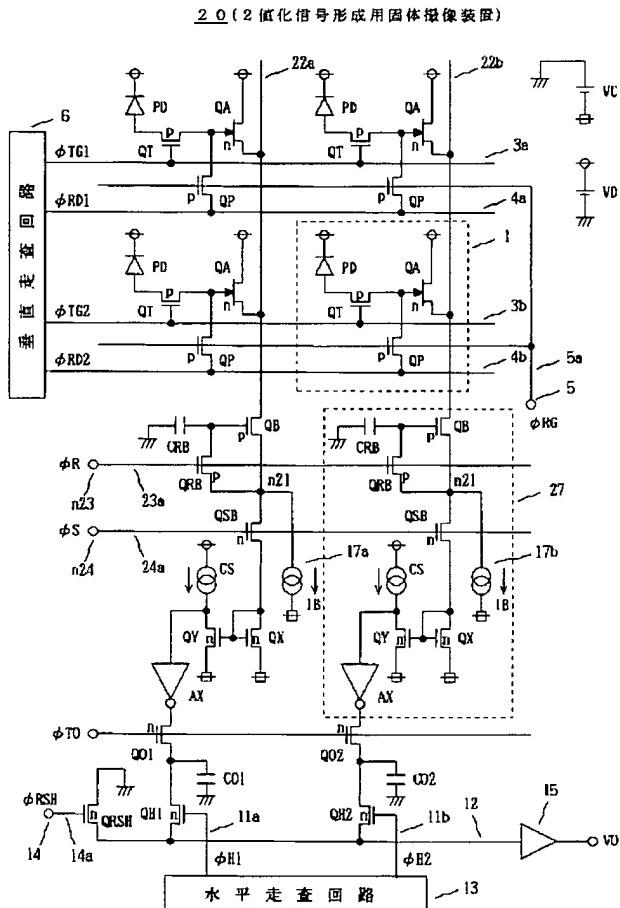
【図5】



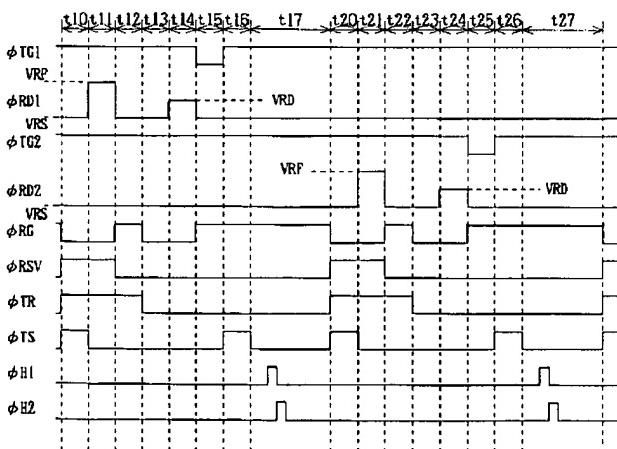
〔図1〕



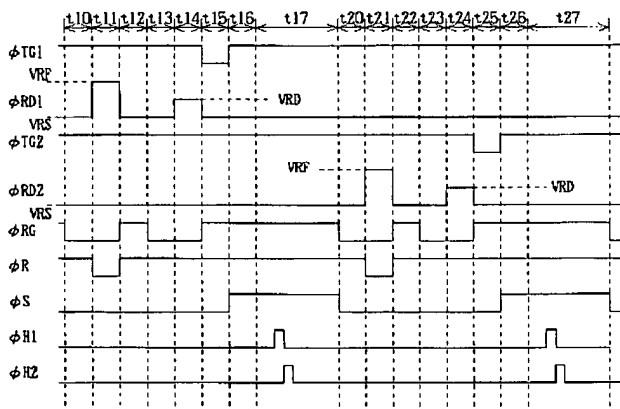
【図4】



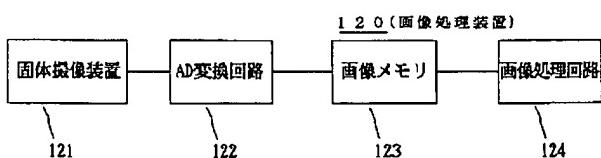
[图7]



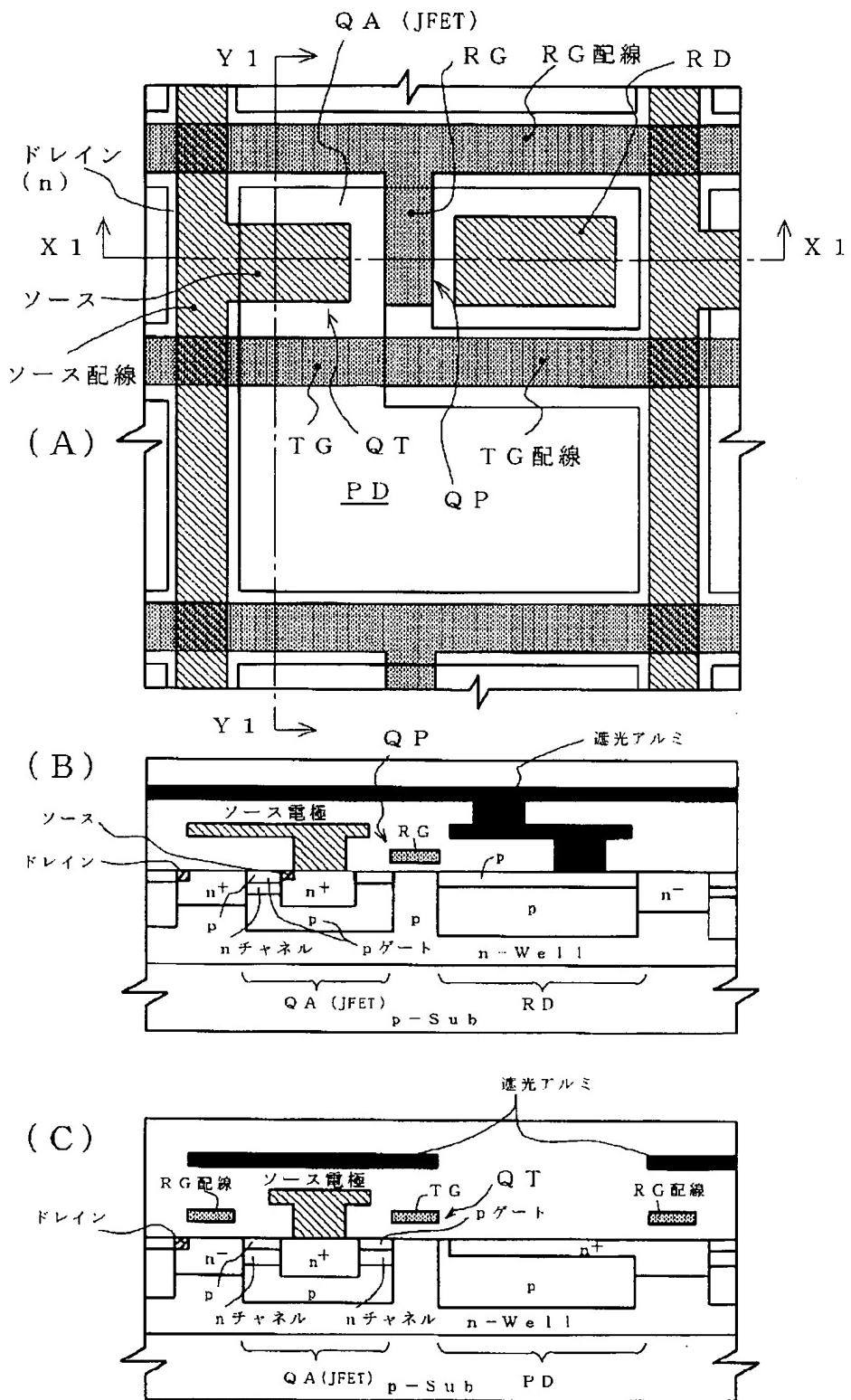
(图9)



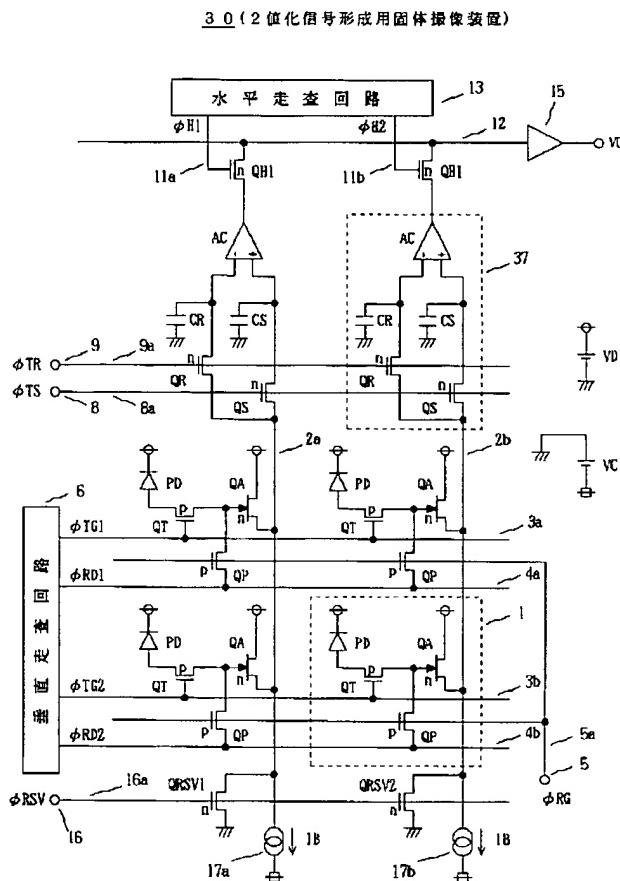
【图 12】



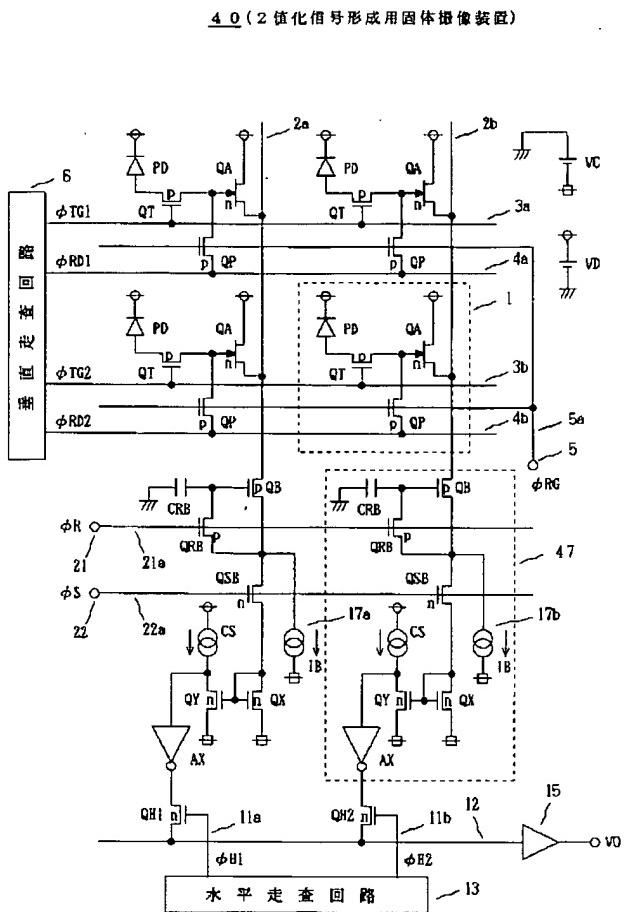
【図3】



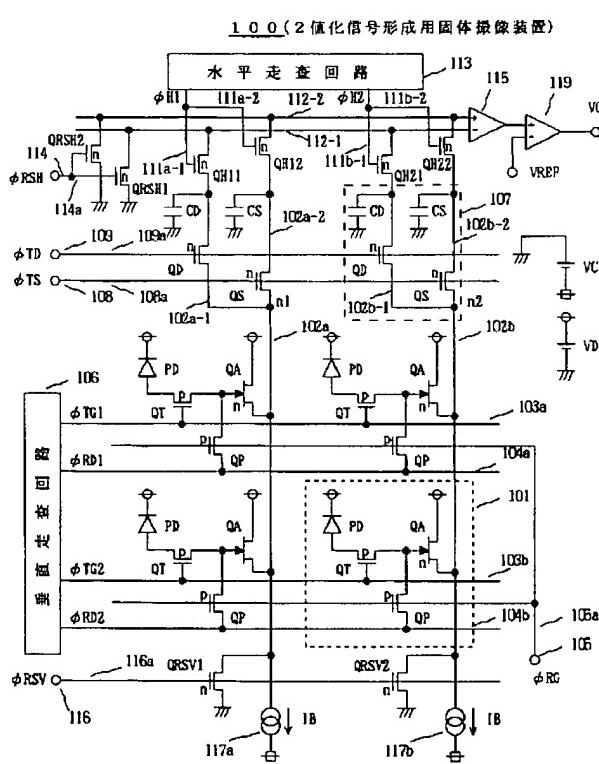
【図6】



【図8】



【図10】



【図11】

